

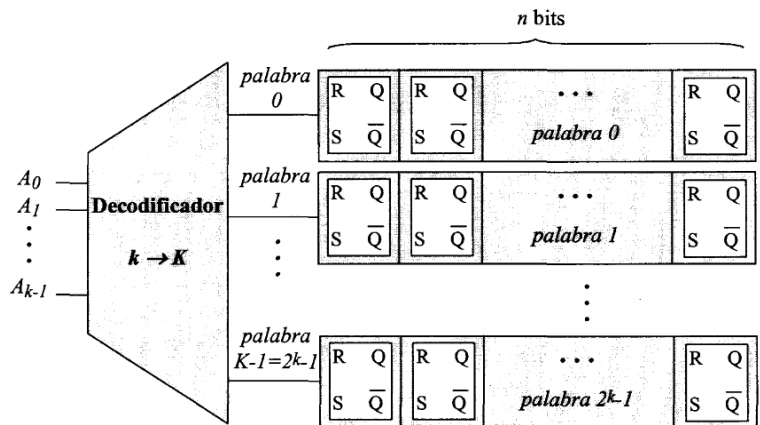
MEMORIAS RAM Y CAM

- **RAM** = Memorias de acceso aleatorio.
- **CAM** = Memorias de acceso por contenidos.
- Memorias de acceso secuencial (FIFO, LIFO).

11.2. ORGANIZACIÓN DE LAS MEMORIAS SRAM

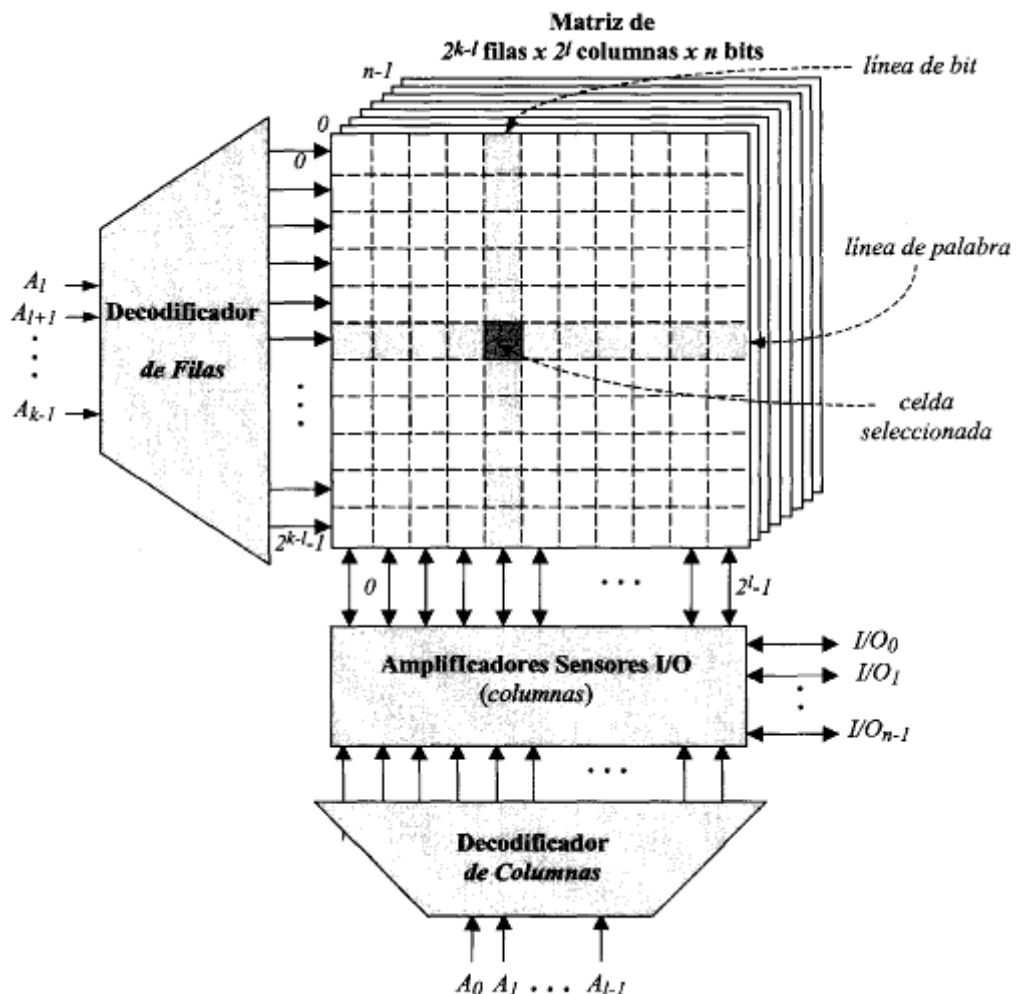
Las memorias RAM estáticas constan de un núcleo de almacenamiento formado por un número muy grande de biestables R-S y un conjunto de circuitos periféricos de direccionamiento y control de las operaciones de las operaciones de lectura/escritura.

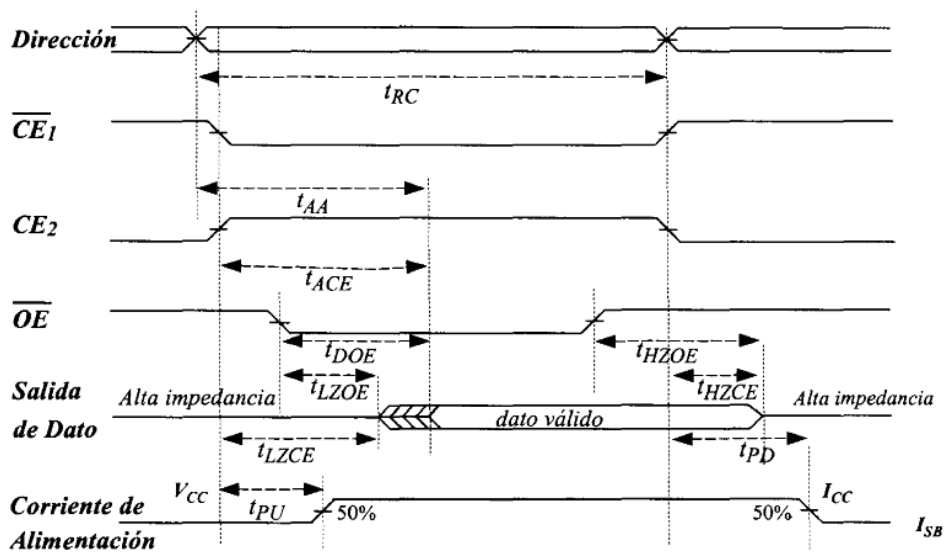
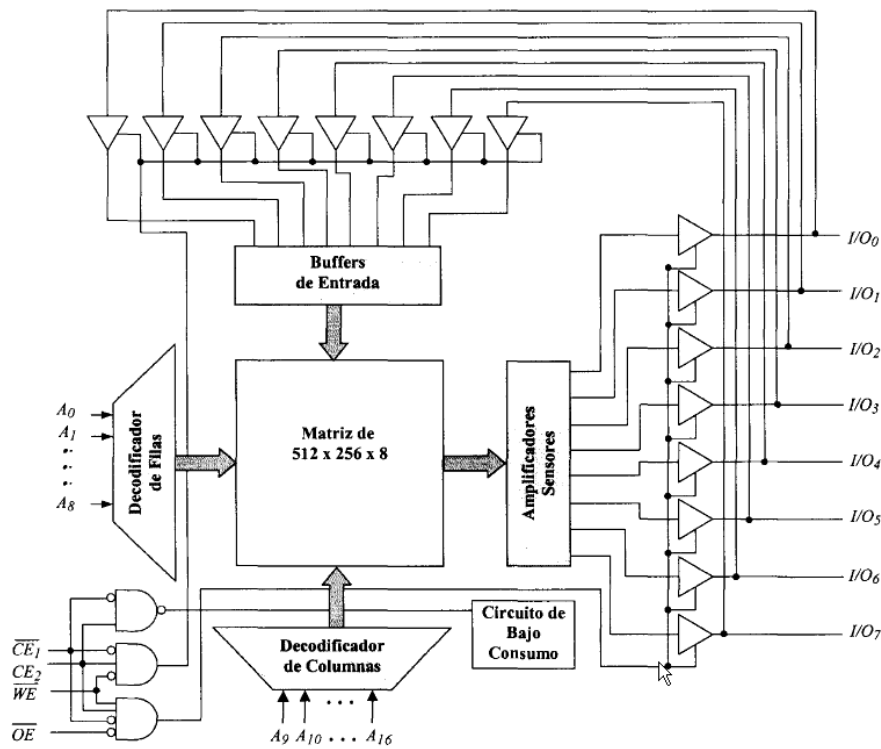
El **elemento básico**, la celda **R-S**, almacena un bit y el conjunto de celdas (bits) se organizan en términos de bytes o palabras, que son grupos de n bits (8, 13, 32, ...) que se tratan globalmente. **Cada dirección corresponde a una palabra.** Así, con k bits podremos direccionar $K=2^k$ palabras y la forma más inmediata de acceder a cada una de estas palabras es usando un decodificador de k a K , tal como se ilustra en la figura.



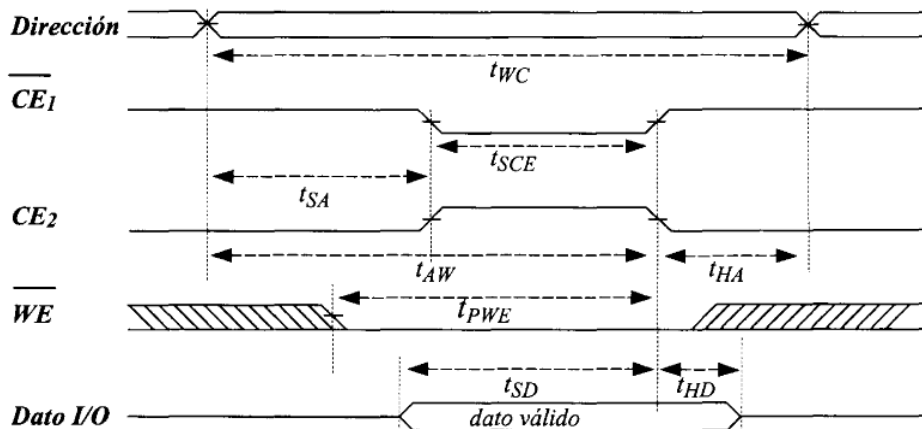
Estructura matricial

Dimensiones horizontal y vertical del circuito sean comparables. Esto se consigue al repartir los bits de la dirección (A_a, A_j, \dots, A_{k-j}) en dos grupos, uno para direccionar las filas de una matriz ($A_i, A_{i+1}, \dots, A_{k-i}$) y el otro para direccionar las columnas (A_a, A_j, \dots, A_{l-j})





Cronograma de un ciclo de lectura



Cronograma de un ciclo de escritura

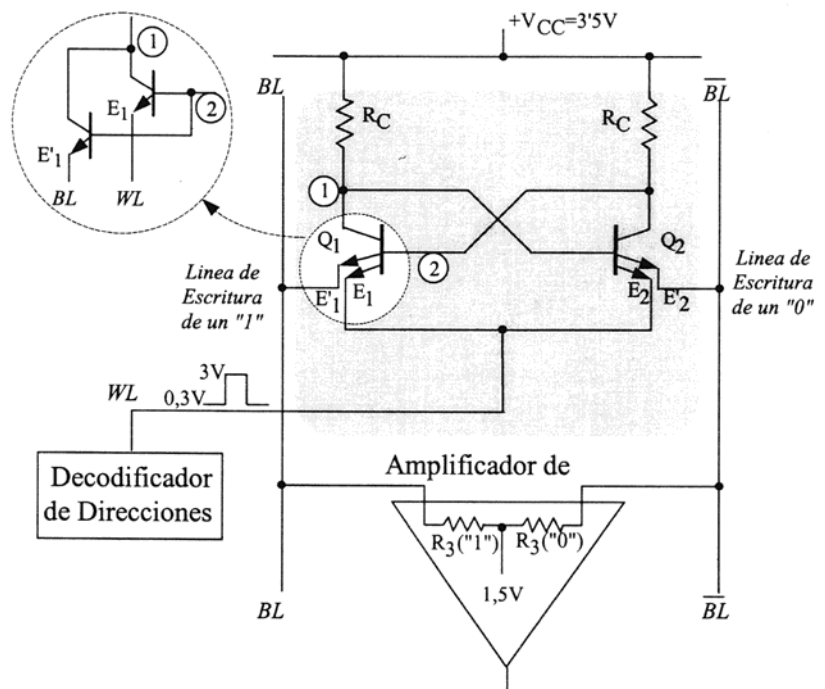
Celdas RAM estáticas (SRAM) en tecnología Bipolar.

Su característica principal es el tiempo de acceso que es muy corto, por ello se emplean principalmente en el diseño de memorias caché.

Se realiza con transistores multiemisor, que equivalen a transistores colocados en paralelo el colector y la base y con la entrada por emisor. De esta manera, al conectar un "0" en cualquiera de los dos emisores, el transistor correspondiente conducirá y por lo tanto la $V_{CE}=0V$ y la tensión colector masa será de $0V$.

Por **convenio** se interpreta que se almacena un "1" cuando **Q1** está **conduciendo** (Q2 al corte) y un "0" cuando **Q1** al **corte** (Q2 conduciendo).

La salida se obtiene de un amplificador diferencial, de forma que cuando aparece un nivel de tensión en la línea \overline{BL} ($BL = 0V$) habrá una caída de tensión en $R3(1)$ y no la habrá en la $R3(0)$, provocando ello un nivel "1" de salida. Al revés, cuando aparece un nivel de tensión en la línea $\overline{BL} = 3,5V$ ($BL=0V$) habrá una caída de tensión en $R3(0)$ y no la habrá en la $R3(1)$, provocando ello un nivel "0" de salida.



Selección de celda: La selección de celda se producirá introduciendo un nivel alto ("1") en WL, provocando ello que los emisores E_i estén los dos a "1" y dejando el estado del transistor en manos de los emisores E_i , o sea en manos de las entradas de escritura de "1" (BL) o de escritura de "0" \overline{BL} .

En caso de que $WL=0V$, los dos emisores E_i estarán a $0V$, provocando ello que el biestable permanezca en el estado anterior. Esto es, si anteriormente $Q1$ conducía, su $V_{CE}=0V$ por lo que la tensión en $B2$ era $0V$ y por lo tanto $Q2$ estaba cortado. En estas circunstancias no importa lo que metamos en BL y \overline{BL} porque nunca conseguiremos hacer cortarse al transistor que estaba conduciendo, ni conducir al que estaba cortado, permaneciendo la celda en su estado anterior.

Lectura: Tras seleccionar la celda con WL, solo el emisor del transistor que conduce ($Q1$ por ejemplo) proporciona corriente a una de las líneas de datos produciendo un impulso de salida del amplificador de lectura.

Escritura: Se empieza seleccionando la celda mediante WL e introduciendo el dato que queremos meter (nivel lógico 0) por BL (1) o por \overline{BL} (0). Por ejemplo supongamos que se quiere introducir un "1", para ello activaremos WL (3V) e introduciremos un "1" (3V) por \overline{BL} y un "0" por BL . Un "0" en BL provoca que $Q1$ conduzca, su $V_{CE}=0V$ y por lo tanto la $V_{EB2}=0V$, lo cual provoca que $Q2$ se corte y su $V_{CE}=3V$ ("1"). De esta manera la $V_{EB1}=3V$ y provocará que $Q1$ conduzca y por lo tanto su $V_{CE}=0V$, manteniendo con ello el nivel introducido al principio y provocando su almacenamiento.

Celdas RAM estáticas (SRAM) en tecnología MOS.

La idea básica es la misma que en el caso bipolar pero a partir de transistores MOS.

Igual que en el caso anterior se dispone de la patilla de selección de celda WL y de las líneas de datos BL y \overline{BL} .

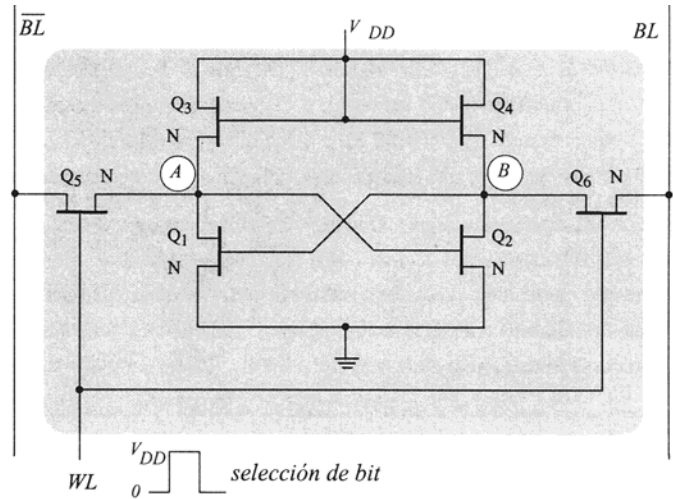
Partimos de dos inversores acoplados (Q1-Q3 y Q2-Q4) y se añaden otros dos (Q5 y Q6) para habilitar la lectura y escritura.

Suponer que se almacena un "1" cuando Q1 está conduciendo y Q2 está cortado.

Selección de celda: La selección de celda se producirá introduciendo un nivel alto ("1") en WL, provocando ello que los transistores Q5 y Q6 conduzcan y que por lo tanto se pueda leer o escribir en la celda.

Lectura: Tras seleccionar la celda con WL, hará que Q5 y Q6 conduzcan y por lo tanto los valores de los puntos A y B aparezcan en las líneas \overline{BL} y BL respectivamente.

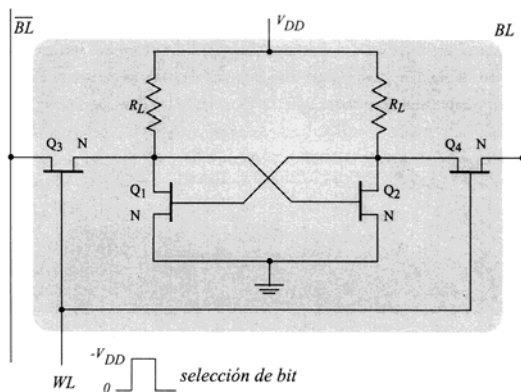
Escritura: Se empieza seleccionando la celda mediante WL e introduciendo el dato que queremos meter (nivel lógico 1) por BL (1) o por \overline{BL} (0). Por ejemplo supongamos que se quiere introducir un "0", para ello activaremos WL e introduciremos un "1" por \overline{BL} y un "0" por BL. Un "0" en BL provoca que la puerta de Q1 se polarice a 0V y por lo tanto dicho Q1 se corte y la $V_{DS}=V_{DD}$. Dicha tensión se aplica a la puerta de Q2 y por lo tanto $V_{GS2}=V_{DD}$. Esto provoca que Q2 conduzca y por lo tanto su $V_{DS}=0V$, reforzando y memorizando el nivel inicialmente introducido de 0V.



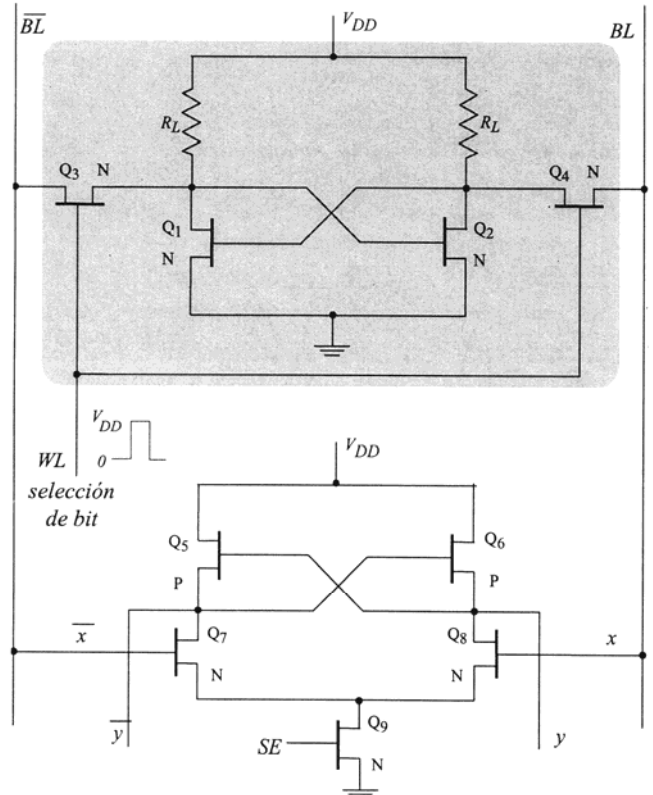
Celda NMOS para RAM estática.

Uso del amplificador diferencial en celdas SRAM

Celda SRAM de 4 transistores con carga resistiva



Celda SRAM de cuatro transistores con carga resistiva (R_L)

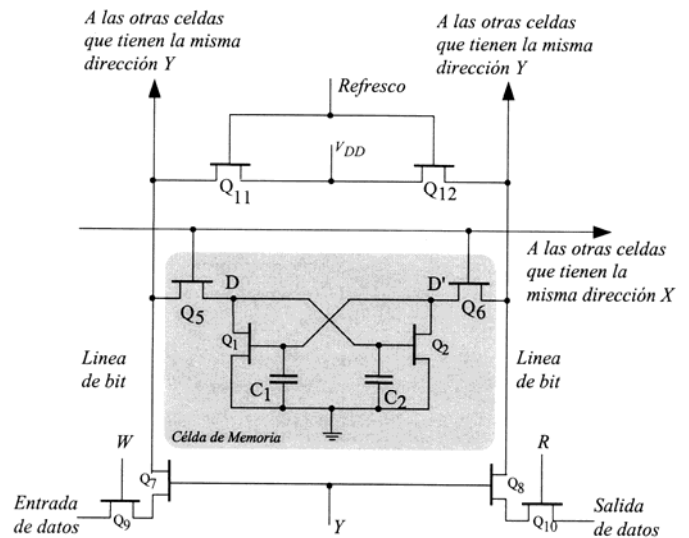


Uso de amplificadores diferenciales como sensores en celdas SRAM.

Celdas RAM dinámicas (DRAM) en tecnología MOS.

En los casos en los que se desea alto nivel de integración y bajo consumo aunque se penalice con velocidades de trabajo menores, se recurre a las celdas dinámicas. Básicamente el diseño consiste en reducir el número de transistores que componen la celda, consiguiendo las características citadas, obteniendo diferentes configuraciones a cada cual más sencilla, hasta llegar al máximo de simplicidad consistente en construir una celda con único transistor.

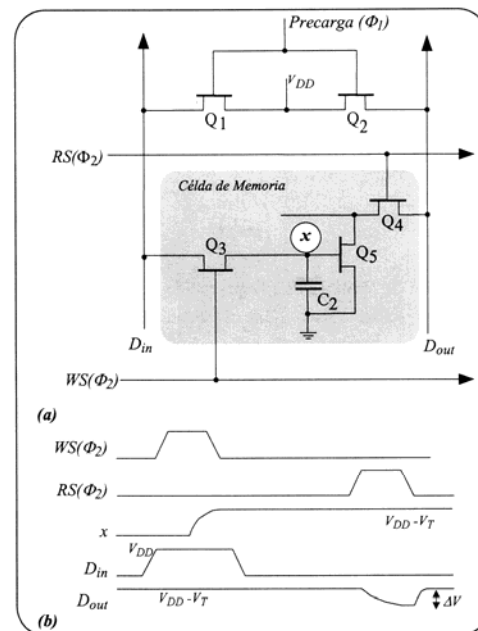
Si se compara con la celda estática se aprecia que se han eliminado dos transistores y que el elemento almacenador de información son los condensadores C1 y C2. Estos condensadores no se implementan específicamente en la celda, sino que son las capacidades parásitas de los propios transistores las que sirven como elementos almacenadores. Para evitar la pérdida de carga de estos condensadores se introduce un sistema de refresco a través de los transistores Q11 y Q12 que hace que la información de salida se vuelva a meter en la entrada.



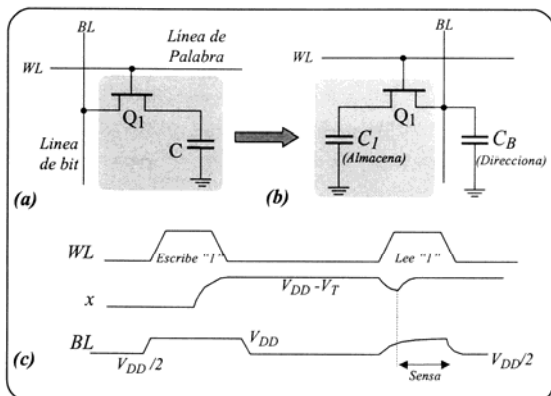
Celdas RAM dinámicas. (DRAM) de 4 transistores.

El paso posterior fue pasar de cuatro a tres transistores. Se consigue en base a eliminar la redundancia de almacenamiento, ya que hasta este momento se almacenaba la información deseada y su complementaria. Como ahora la célula de almacenamiento es la capacidad parásita del transistor MOS, no es necesaria dicha redundancia y por lo tanto se puede eliminar la mitad de la celda.

La última reducción del tamaño de celda en la RAM dinámica consiste en utilizar un único transistor y su capacidad parásita como elemento almacenador. Su funcionamiento es sencillo, basta un transistor que permita la entrada y salida de carga al condensador. Durante el ciclo de escritura se habilita la celda WL y se introduce el nivel en la entrada BL, al conducir Q1 dicha carga se introduce en C1 y queda almacenada. Para su lectura, simplemente se habilita la celda WL, provocando que Q1 conduzca y que por lo tanto el valor de C1 aparezca en BL.

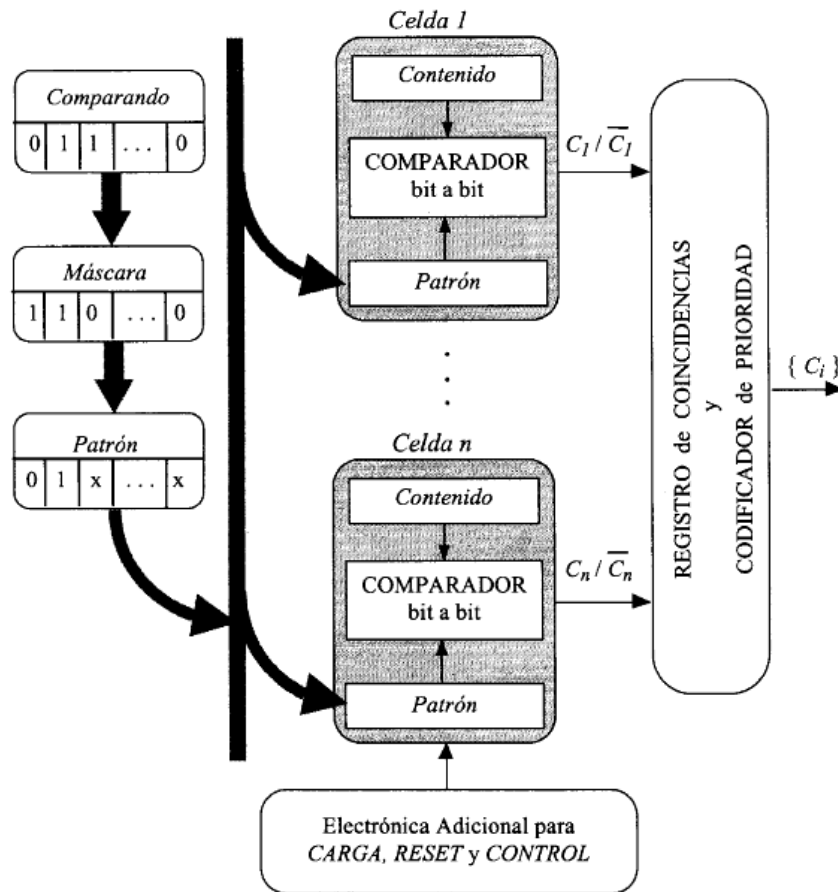


Celda DRAM con tres transistores MOS. (a) circuito. (b) Formas de onda durante los ciclos de lectura y escritura.



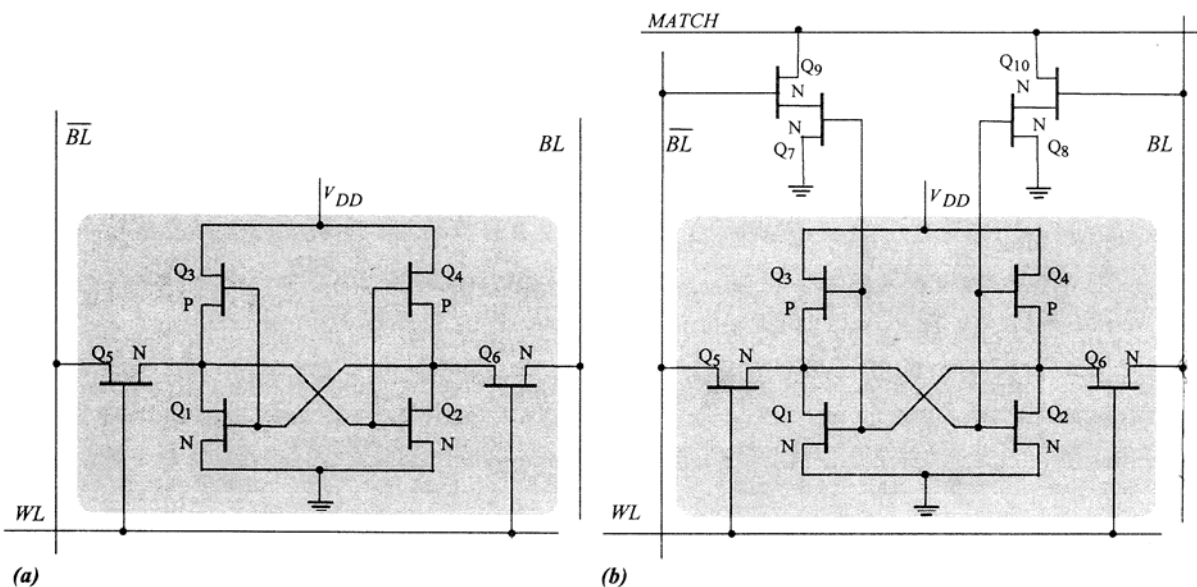
Celda DRAM con un solo transistor. (a) Solución mínima que provoca lectura destructiva. (b) Alternativa válida. (c) Formas de onda durante los procesos de lectura y escritura en el circuito de (b).

CIRCUITOS DE MEMORIA ASOCIATIVA (CAM)



Celda CAM básica en CMOS.

Su constitución básica consiste en utilizar una celda SRAM de 6 transistores y 4 transistores más para realizar las funciones de comparación del estado de alta o bajadle bit almacenado en los otros seis con el bit correspondiente al registro patrón.



(a) Celda RAM estática. (b) Celda CAM obtenida a partir de la RAM añadiéndole cuatro transistores para realizar la función NOR exclusivo entre su contenido y el bit correspondiente del comparando.