

6.- Lógica combinacional (II). Ruta de datos

- Libro prob. pg 662

Fig 6.2.2.



Libro nuevo = cambiado

1.- Multiplexores

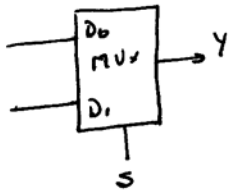
2.- Demultiplexores

3.- Codificadores con prioridad

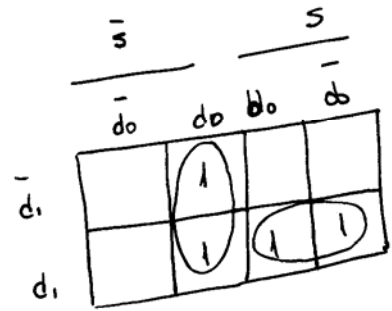
4.- Amplificadores y trans-recep de bus

1.- Multiplexores

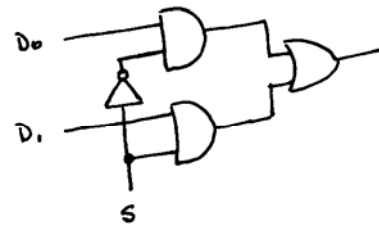
Circuito con N entradas, una salida y n patillas de selección t.g. $2^n = N$



S	D ₁	D ₀	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



$$Y = \bar{s} d_0 + s d_1$$



S	D ₁	D ₀	Y
0	x	D ₀	D ₀
1	D ₁	x	D ₁

Con la combinación binaria introducida en las patillas de selección (n), elegimos la entrada N que aparecerá en la salida

Mux 4 canales \Rightarrow $\left. \begin{array}{l} 4 \text{ entradas} \\ 1 \text{ salida} \\ 2 \text{ selección} \end{array} \right\}$

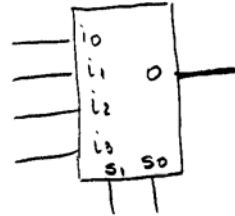
- Usos $\left\{ \begin{array}{l} - \text{Convertidor para lelo-serie} \\ - \text{Síntesis de funciones lógicas} \end{array} \right.$

Síntesis de funciones lógicas

$$f(x_1, x_2, x_3, x_4) = \sum m(4, 5, 6, 7, 8, 13, 14, 15) + \text{MUX (4 a 1)}$$

		\bar{x}_3		x_3	
		\bar{x}_1	x_1	\bar{x}_1	x_1
x_4	\bar{x}_2		1	0	0
	x_2	1	0	1	1
x_4	\bar{x}_2	1	1	1	1
	x_2		0	0	

$$f = \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_3 x_4 + \bar{x}_1 x_2 x_3 \bar{x}_4 + \bar{x}_1 x_2 x_3 x_4 + x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 + x_1 \bar{x}_2 \bar{x}_3 x_4 + x_1 x_2 x_3 \bar{x}_4 + x_1 x_2 x_3 x_4$$

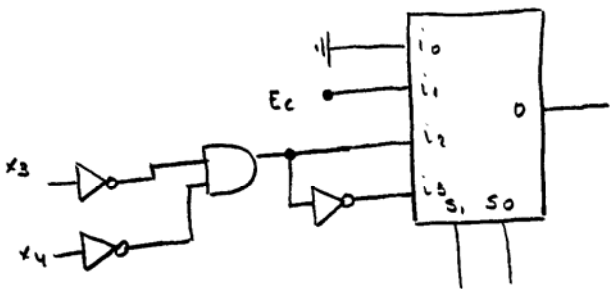


1º Elegir las entradas conectadas a $s_1, s_0 \Rightarrow x_1, x_2$

2º TV para cada valor combinación x_1, x_2 función restante simplificada de Karnaugh

x_1	x_2	f
0	0	0
0	1	1
1	0	$\bar{x}_3 \bar{x}_4$
1	1	$x_3 + x_4 \rightarrow \overline{\overline{x_3 + x_4}} = \overline{\bar{x}_3 \cdot \bar{x}_4}$

3º Dibujar circuito



Diseño en árbol

Cuando el n° de variables es tal que un multiplexor no es suficiente, se utiliza un diseño en árbol.

El diseño en árbol consiste en sintetizar un grupo de variables comunes a todos los términos y luego conectar las salidas a la sintetización del resto de variables.

Ejemplo

$$f(x, y, z, u, v) = \bar{x}\bar{y}\bar{z}\bar{u}v + \bar{x}\bar{y}u\bar{v} + x\bar{y}zuv + x\bar{y}\bar{z}u\bar{v} + xyzuv + xy\bar{z}\bar{u}\bar{v}$$

1°.- se toma en cada término y se aíslan las variables del 1° nivel. En caso de no aparecer en todos los términos se aplica el teorema de expansión hasta que aparezcan.

$$f(x, y, z, u, v) = \bar{x}\bar{y}(\bar{z}\bar{u}v) + \bar{x}\bar{y}(u\bar{v}) + x\bar{y}(zuv) + x\bar{y}(\bar{z}u\bar{v}) + xy(zuv) + xy(\bar{z}\bar{u}\bar{v})$$

2°.- Agrupar y simplificar los términos comunes a las var. del 1° nivel. Sintetizar los paréntesis.

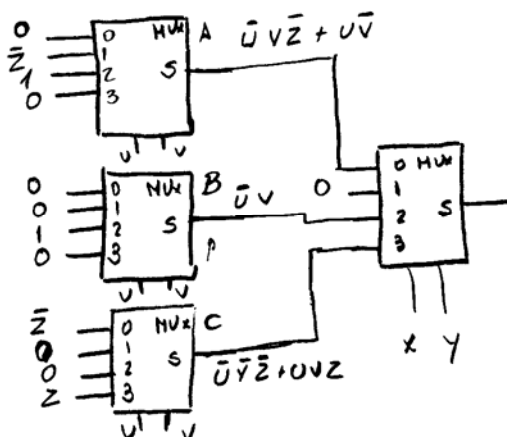
$$f(x, y, z, u, v) = \bar{x}\bar{y}(\bar{z}\bar{u}v + u\bar{v}) + x\bar{y}(zuv + \bar{z}u\bar{v}) + xy(zuv + \bar{z}\bar{u}\bar{v})$$

$$\textcircled{A} \quad \bar{u}\bar{v}(0) + \bar{u}v(\bar{z}) + u\bar{v}(1) + uv(0)$$

$$\textcircled{B} \quad \bar{u}\bar{v}(0) + \bar{u}v(0) + u\bar{v}(z + \bar{z}) + uv(0)$$

$$\textcircled{C} \quad \bar{u}\bar{v}(\bar{z}) + \bar{u}v(0) + u\bar{v}(0) + uv(0)$$

3°.- Necesidades de multiplexores: $\begin{cases} 1 - xy \\ 3 - uv \end{cases}$

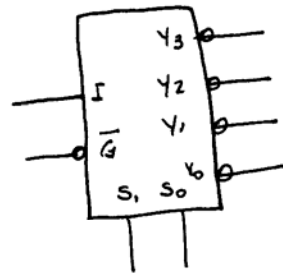


2.- Demultiplexores

1 entrada
N salidas
n pat. selección } $\rightarrow 2^n = N$

Table verdad

S_1	S_0	\bar{G}	I	Y_2	Y_1	Y_0
0	0	0	I	1	1	1
0	1	0	I	1	1	1
1	0	0	I	1	1	1
1	1	0	I	1	1	1
x	x	1	x	1	1	1



Con la combinación binaria introducida en las patillas de selección, elegimos la salida por la que aparecerá la entrada

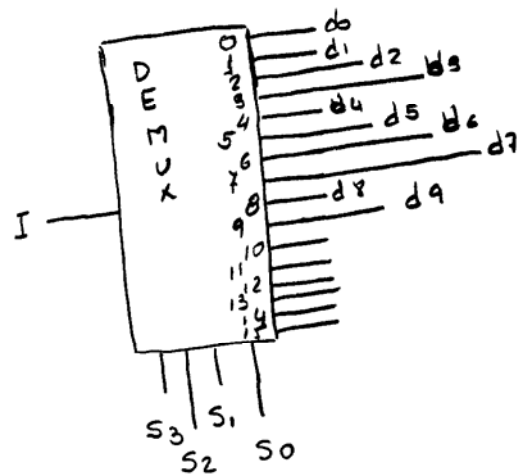
Aplicaciones

- Distribución de datos
- Decodificación
- Diseño general

Uso como decodificadores

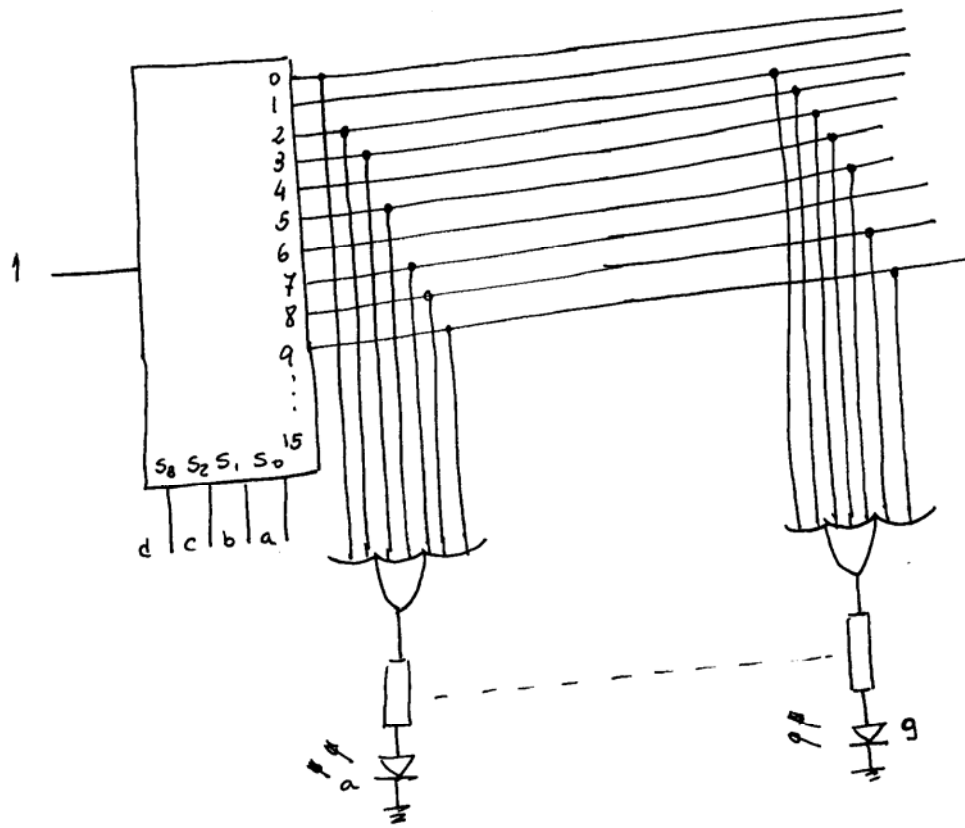
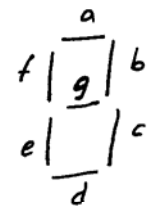
BCD - Decimal

d	c	b	a	Salida
0	0	0	0	$d_0 = \bar{a}\bar{b}\bar{c}\bar{d}$
0	0	0	1	$d_1 = \bar{d}\bar{c}\bar{b}a$
0	0	1	0	$d_2 = \bar{d}\bar{c}b\bar{a}$
0	0	1	1	$d_3 = \bar{d}\bar{c}ba$
0	1	0	0	$d_4 = \bar{d}c\bar{b}\bar{a}$
0	1	0	1	$d_5 = \bar{d}c\bar{b}a$
0	1	1	0	$d_6 = \bar{d}cba$
0	1	1	1	$d_7 = \bar{d}cba$
1	0	0	0	$d_8 = d\bar{c}\bar{b}\bar{a}$
1	0	0	1	$d_9 = d\bar{c}\bar{b}a$



BCD - 7 segmentos

d	c	b	a	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	1
0	0	1	0	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	1	0	1	1	0	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	0	0	0	1	1	0	0	0
0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1



3.- Codificadores con prioridad

Si existe más de 1 entrada activa \Rightarrow predomina la más alta

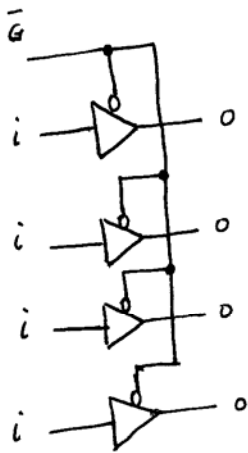
P_3	P_2	P_1	P_0	Y_1	Y_0	R \leftarrow Todas entradas \neq
0	0	0	0	x	x	0
1	x	x	x	1	1	1
0	1	x	x	1	0	1
0	0	1	x	0	1	1
0	0	0	1	0	0	1

$$Y_1 = P_3 + P_2$$

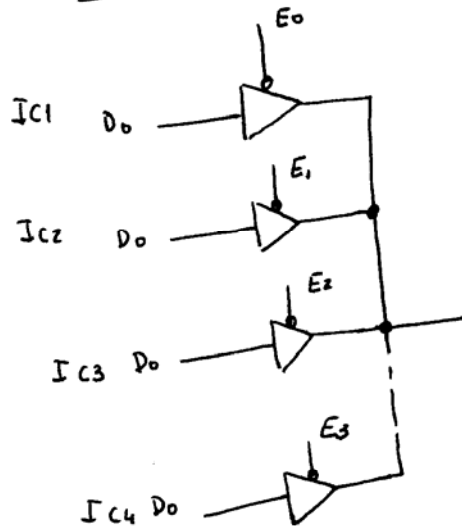
$$Y_0 = P_3 + \bar{P}_2 P_1$$

$$R = P_3 + P_2 + P_1 + P_0$$

4.- Amplificadores (Buffers - Drivers) y Trans-Recep Bus



Configur. bus unidireccional direcciones



Bus bidireccional

