

DISEÑO DE BLOQUES DE MEMORIA

La ampliación de componentes es una característica del diseño y en el caso de las memorias tiene dos objetivos:

- Incrementar el tamaño de las palabras.
- Incrementar el número de palabras de memoria.

Un sistema basado en microprocesador tiene una capacidad de direccionamiento y anchura de palabra en función de las características del microprocesador de acuerdo al bus de direcciones y del de datos respectivamente. Siendo el bus de control, específico al microprocesador. De esta manera, la capacidad del sistema depende de:

- Direccionamiento del sistema $\Rightarrow 2^n$ siendo n el n° de bits del bus de direcciones del μP
- Ancho de palabra $\Rightarrow m$ siendo m el n° de bits del bus de datos del μP
- Bus de control depende del μP , siendo las señales típicas para la memoria la de lectura (R) y la de escritura (W)

Procedimiento para el diseño de un mapa de memoria de un sistema basado en microprocesador:

1. Detallar las necesidades del sistema en cuanto a direccionamiento, anchura de palabra y tipo de memoria a utilizar (RAM/ROM).
2. Determinar los circuitos integrados de que se dispone, tanto en longitud como en anchura de palabras y definir los que se necesitan.
3. Construir el mapa de memoria.
4. Determinar el tamaño de página y diseñar la tabla de direcciones y ocupación de cada circuito integrado.
5. Determinar la circuitería auxiliar necesaria para el control del circuito.
6. Dibujar el circuito completo de la memoria.

Para analizar el procedimiento tomaremos como base el siguiente ejemplo:

- Diseñar el mapa de memoria de un sistema basado en microprocesador para el 8085 de INTEL (A0..A15, D0..D7), suponiendo que se necesitan 8K×8 de memoria ROM, 4K×8 de memoria RAM. Se disponen de circuitos integrados ROM de 2K×8 y circuitos integrados RAM de 2K×8 y que la memoria está situada a partir de la dirección \$0 empezando por la ROM y colocando a continuación la RAM.

1. Detallar las necesidades del sistema en cuanto a direccionamiento, anchura de palabra y tipo de memoria a utilizar (RAM/ROM).

8K×8 de memoria ROM
4K×8 de memoria RAM

2. Determinar los circuitos integrados de que se dispone, tanto en longitud como en anchura de palabras y definir los que se necesitan.

$$\text{Circuitos integrados ROM } ROM = \frac{N^{\circ} _ bits _ necesarios}{N^{\circ} _ bits _ por _ CI} = \frac{8K \times 8}{2K \times 8} = 4 _ circuitos _ ROM$$

$$\text{Circuitos integrados RAM } RAM = \frac{N^{\circ} _ bits _ necesarios}{N^{\circ} _ bits _ por _ CI} = \frac{4K \times 8}{2K \times 8} = 2 _ circuitos _ RAM$$

3. Construir el mapa de memoria.

IC0 (2K×8)	ROM
IC1 (2K×8)	ROM
IC2 (2K×8)	ROM
IC3 (2K×8)	ROM
IC4 (2K×8)	RAM
IC5 (2K×8)	RAM
Libre	
Libre	

Diseño de mapas de memoria

4. Determinar el tamaño de página y diseñar la tabla de direcciones y ocupación de cada circuito integrado.

- Determinaremos los bits del bus de direcciones en función del tamaño total de la memoria:

$$8K \text{ _ ROM} + 4K \text{ _ RAM} = 12K$$

$$2^{13} = 8192 \text{ bytes} \Rightarrow 2^{14} = 16384 \text{ bytes} \Rightarrow \text{bus de direcciones A0..A13}$$

$$2^{14} = 16384 \text{ bytes}$$

bus de datos D0..D7

- El tamaño de página en este caso será de 2K ya que todos los circuitos integrados son de 2K

$$2^{11} = 2048 \text{ bytes} \Rightarrow \text{A0..A10}$$

- Bits de selección de página A11 → A13 \Rightarrow A11, A12, A13 $\Rightarrow 2^3 = 8 \text{ páginas}$ de las cuales las 6 primeras se usan por los circuitos integrados y las dos últimas quedan libres.
- Tabla de direcciones

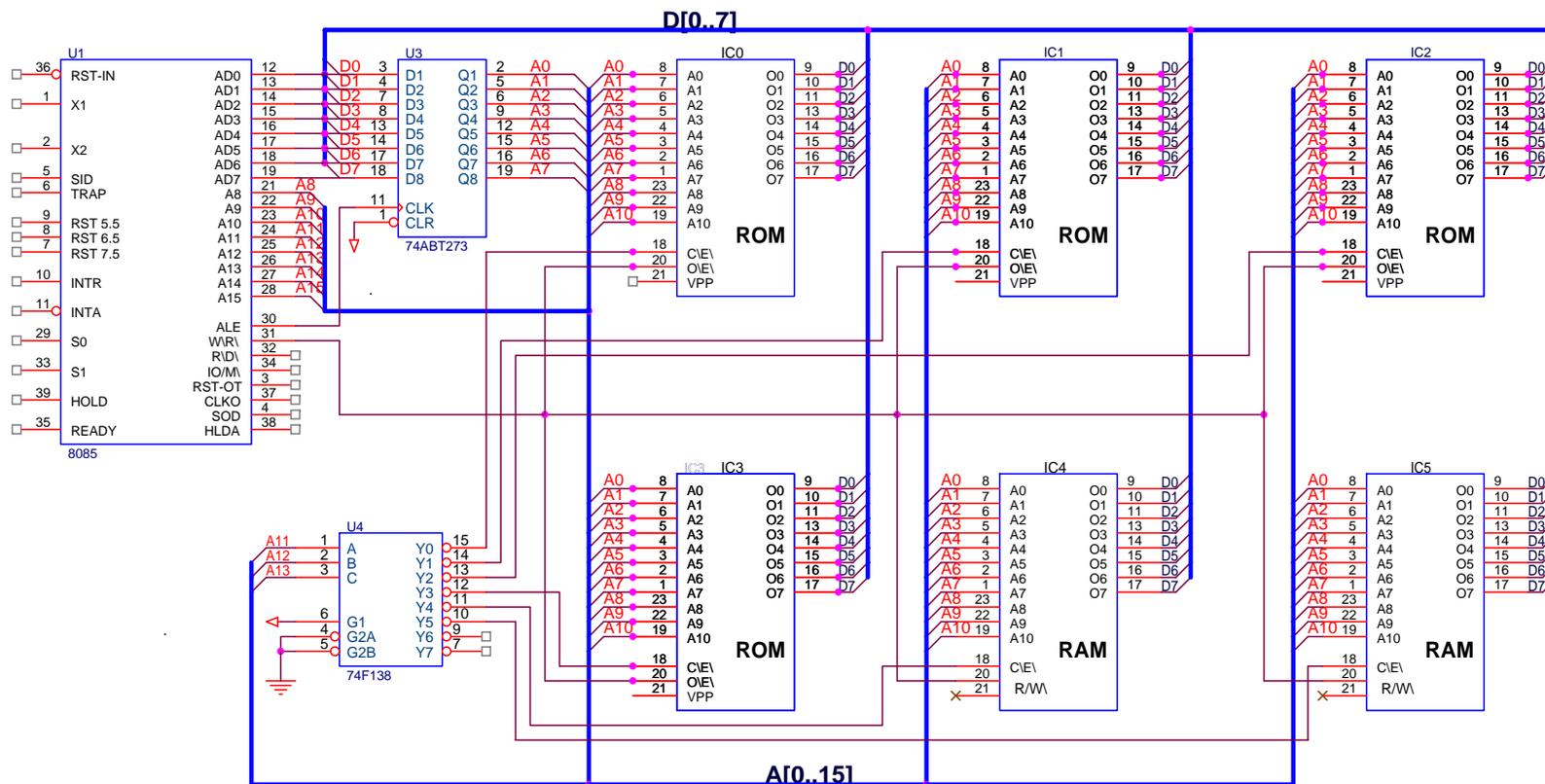
Agrup hexadecim.	Selec. Página														Dir hexadec.	Cir. Integrado
	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	\$0000	IC0
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	\$07FF	
	0	0	1	0	0	0	0	0	0	0	0	0	0	0	\$0800	IC1
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	\$0FFF	
	0	1	0	0	0	0	0	0	0	0	0	0	0	0	\$1000	IC2
	0	1	0	1	1	1	1	1	1	1	1	1	1	1	\$17FF	
	0	1	1	0	0	0	0	0	0	0	0	0	0	0	\$1800	IC3
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	\$1FFF	
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	\$2000	IC4
	1	0	0	1	1	1	1	1	1	1	1	1	1	1	\$27FF	
	1	0	1	0	0	0	0	0	0	0	0	0	0	0	\$2800	IC5
	1	0	1	1	1	1	1	1	1	1	1	1	1	1	\$2FFF	

5. Determinar la circuitería auxiliar necesaria para el control del circuito.

Como se puede observar el número de páginas es de 6, pero el mínimo que podemos controlar es de 8, es por lo que necesitaremos un decodificador de 3 a 8, de forma que las líneas del bus de direcciones del sistema A11, A12 Y A13 se conectarán a las entradas I0, I1 e I2 respectivamente y cada una de las salidas de O0 a O5 se conectarán a los Chip Select (CS) de cada los circuitos integrados de IC0 a IC5.

6. Dibujar el circuito completo de la memoria.

MEMORIA DE 8Kx8 DE ROM Y 4Kx8 DE RAM



Diseño de mapas de memoria

- Diseñar el mapa de memoria de un sistema basado en microprocesador para el 8085 de INTEL (A0..A15, D0..D7), suponiendo que se necesitan 8K×8 de memoria ROM, 1K×8 de memoria RAM y 2 entrada/salida de 8 bits en el bus de direcciones. Se disponen de circuitos integrados ROM de 8K×1, circuitos integrados RAM de 1K×4 y de las correspondientes entrada/salida y que la memoria está situada a partir de la dirección \$0 empezando por la ROM, colocando a continuación la RAM y por último las entradas/salidas
1. Detallar las necesidades del sistema en cuanto a direccionamiento, anchura de palabra y tipo de memoria a utilizar (RAM/ROM).

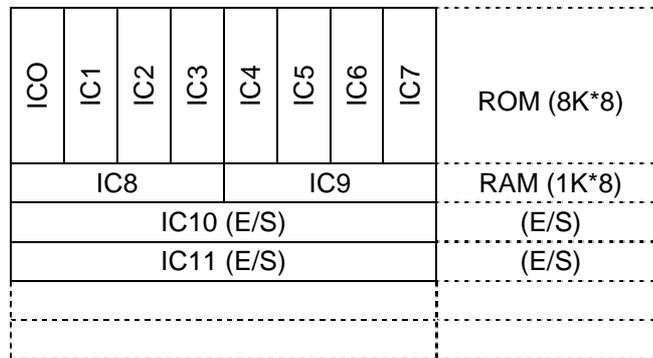
8K×8 de memoria ROM
1K×8 de memoria RAM
2 entrada/salida

2. Determinar los circuitos integrados de que se dispone, tanto en longitud como en anchura de palabras y definir los que se necesitan.

Circuitos integrados ROM $ROM = \frac{N^{\circ} \text{ bits } _{necesitados}}{N^{\circ} \text{ bits } _{por \text{ CI}}} = \frac{8K \times 8}{8K \times 1} = 8 \text{ circuitos } _{ROM}$

Circuitos integrados RAM $RAM = \frac{N^{\circ} \text{ bits } _{necesitados}}{N^{\circ} \text{ bits } _{por \text{ CI}}} = \frac{1K \times 8}{1K \times 4} = 2 \text{ circuitos } _{RAM}$

3. Construir el mapa de memoria.



4. Determinar el tamaño de página y diseñar la tabla de direcciones y ocupación de cada circuito integrado.
 - Determinaremos los bits del bus de direcciones en función del tamaño total de la memoria:

$$8K \text{ ROM} + 1K \text{ RAM} + 2K \text{ E/S} = 11K$$

$$2^{13} = 8192 \text{ bytes} \Rightarrow 2^{14} = 16384 \text{ bytes} \Rightarrow \text{bus de direcciones A0..A13}$$

$$2^{14} = 16384 \text{ bytes}$$

bus de datos D0..D7

- El tamaño de página en este caso será de 1K ya que se puede elegir entre el tamaño mayor (8K), el menor 256Bytes (E/S) o el intermedio (RAM de 1K). La circuitería menos complicada y con un aprovechamiento relativamente óptimo se consigue con el valor intermedio (1K).

$$2^{10} = 1024 \text{ bytes} \Rightarrow \text{A0..A9}$$

- Bits de selección de página A10 A13 \Rightarrow A10, A11, A12, A13 $\Rightarrow 2^4 = 16 \text{ páginas}$ de las cuales las 11 primeras se usan por los circuitos integrados y las cinco últimas quedan libres.

- Tabla de direcciones

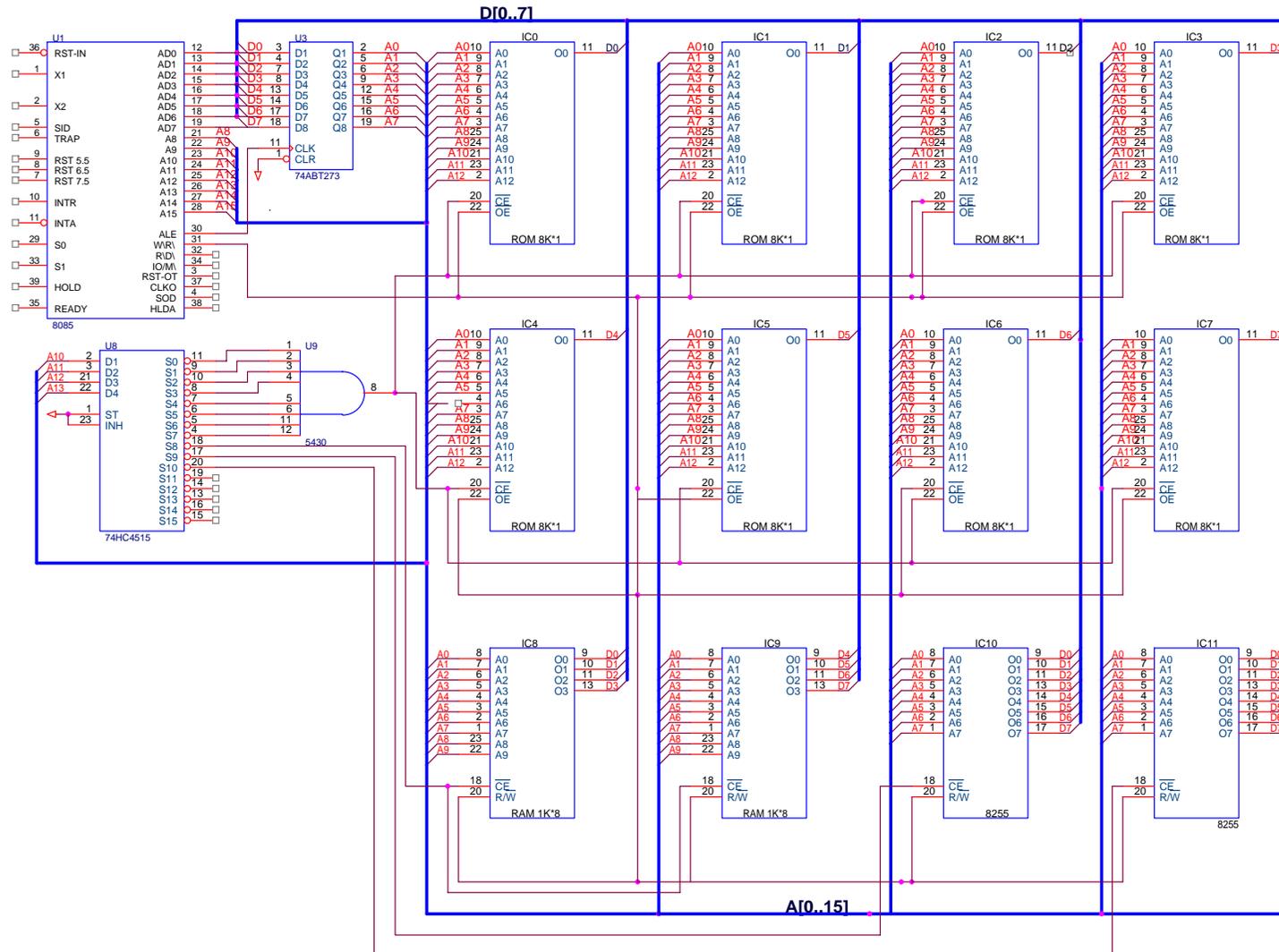
Agrup hexadecim.	Selec. Página														Dir hexadec.	Cir. Integrado
	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	\$0000	IC0 a IC7
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	\$1FFF	
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	\$2000	IC8 + IC9
	1	0	0	0	1	1	1	1	1	1	1	1	1	1	\$23FF	
	1	0	0	1	X	X	0	0	0	0	0	0	0	0	\$2400	IC10
	1	0	0	1	X	X	1	1	1	1	1	1	1	1	\$27FF	
	1	0	1	0	X	X	0	0	0	0	0	0	0	0	\$2800	IC11
	1	0	1	0	X	X	1	1	1	1	1	1	1	1	\$2BFF	

5. Determinar la circuitería auxiliar necesaria para el control del circuito.

Como se puede observar el número de páginas es de 11, pero el mínimo que podemos controlar es de 16, es por lo que necesitaremos un decodificador de 4 a 16, de forma que las líneas del bus de direcciones del sistema A10, A11, A12 Y A13 se conectarán a las entradas I0, I1, I2 e I3 respectivamente y cada una de las salidas de O0 a O12 se conectarán a los Chip Select (CS) de cada los circuitos integrados de IC0 a IC11, teniendo en cuenta que como la ROM de 8Kx8 ocupa 8 páginas se deberán conectar las 8 primeras salidas a una puerta AND que conectará su salida al CS del integrado ROM.

6. Dibujar el circuito completo de la memoria.

MEMORIA DE 8Kx8 DE ROM, 1Kx8 DE RAM Y 2 E/S



2002

Junio - 1ª semana

2.- Supóngase una memoria RAM de 1024 palabras · 16 bits/palabra construida empleando circuitos integrados de memoria RAM de 128 palabras · 8 bits/palabra. A fin de permitir el direccionamiento de las palabras de la memoria, el bus de direcciones:

- A) Tiene 10 líneas, 7 de ellas comunes a todos los módulos.
- B) Tiene 10 líneas, 3 de ellas comunes a todos los módulos.
- C) Tiene 10 líneas, todas ellas comunes a todos los módulos.
- D) Ninguna de las anteriores es verdadera.

2001

Junio

1ª semana

3.- Se considera un procesador que dispone de 12 líneas de direcciones A11-A0. Para la construcción de su unidad de memoria se dispone de módulos de 2K palabras, utilizándose la línea A1 para la selección de cada módulo (A0 es la línea menos significativa). Indique cuál de las siguientes afirmaciones es verdadera:

- A) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en el mismo módulo de memoria.
- B) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en diferentes módulos de memoria.
- C) El módulo en que se encuentra almacenada una dirección de memoria queda determinado por el valor de A10.
- D) Ninguna de las anteriores es verdadera.

2000

Exámenes

Septiembre de 2000

7.- Se considera un procesador que dispone de 12 líneas de direcciones A11-A0. Para la construcción de su unidad de memoria se dispone de módulos de 1K palabras, utilizándose las líneas menos significativas (A1-A0) para la selección de cada módulo. Indique cuál de las siguientes afirmaciones es verdadera:

- A) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en el mismo módulo de memoria.
- B) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en diferentes módulos de memoria.
- C) El módulo en que se encuentra almacenada una dirección de memoria queda determinado por el valor de A10.
- D) Ninguna de las anteriores es verdadera.

2000

Junio 2000 - 2ª semana

2.- Un computador con 13 líneas de direcciones tiene una memoria de 3×2^{11} palabras y utiliza entrada/salida *localizada en memoria*. ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno de ellos utiliza 16 direcciones?

- A) 2^{11} .
- B) 2^7
- C) 2.
- D) Ninguna de las anteriores.

Junio del 2000 2ª Semana

8.- Se considera un procesador que dispone de 12 líneas de direcciones A11-A0. Para la construcción de su unidad de memoria se dispone de módulos de 1K palabras, utilizándose las líneas más significativas (A11-A10) para la selección de cada módulo. En el mapa de memoria, la *dirección base* (primera dirección de cada módulo) en notación hexadecimal de los sucesivos bloques de memoria es:

Solución: \$00 \$400 \$800 y \$C00

Septiembre del 2003

6.- Se quiere diseñar una memoria para un computador que tiene una arquitectura basada en palabras de 16 bits y un bus de direcciones de 20 líneas de manera que disponga de 500 Kpalabras de memoria RAM y 240 Kpalabras de memoria ROM. Sabiendo que se disponen de módulos de memoria RAM de 128 Kpalabras × 8 bits/palabra, 128 Kpalabras × 16 bits/palabra; y de módulos de memoria ROM de 128 Kpalabras × 8 bits/palabra, 128 Kpalabras × 16 bits/palabra,

- I. Si es posible realizar el diseño que se solicita.
 - II. El menor número de módulos necesarios para realizar el circuito con las especificaciones requeridas es 4 módulos RAM de 128 Kpalabras × 16 bits/palabra y 2 módulos ROM de 128 Kpalabras × 16 bits/palabra.
- A) I si, II si B) I: si, II no C) I no, II si D) I no, II no

Junio del 2004 2ª Semana

Se dispone de 3 módulos de memoria con entradas de selección activa a nivel bajo. Dos módulos son de 8K palabras y el tercero de 32 K palabras. Estos módulos de memoria van a estar direccionados por un procesador que posee un bus de direcciones con 16 líneas (A_{15-0}). Se requiere que los circuitos de 8K ocupen las direcciones de memoria menores y las mayores, y que las palabras de direcciones sobrantes se repartan en dos áreas del mismo tamaño.

A) (2 puntos) Proponga un mapa de memoria que utilice los tres módulos con las especificaciones indicadas anteriormente. Diseñe un circuito que realice ese mapa.

B) (2 puntos) Indique el módulo de memoria y la posición en dicho módulo que se activa con cada una de las siguientes direcciones (A_{15-0} , en hexadecimal): 0123, 2345, 4567, 6789, 89AB, ABCD, CDEF, EF01.

Solución: Este problema es similar a problema 2-6 del texto "Problemas de Estructura y Tecnología de Computadores", 2ª edición. Se recomienda consultar la solución a este problema con el fin de facilitar la comprensión de las explicaciones dadas a continuación.

A) Mapa de memoria y circuito.

Descomponemos las 64K direcciones del bus de direcciones (2^{16}) en grupos de 8K, cada uno de los cuales está definido por uno de los posibles valores de A_{15} , A_{14} y A_{13} . La Tabla 1 muestra la solución con las especificaciones dadas en el enunciado: el módulo de 32 K debe ocupar forzosamente las posiciones intermedias (ya que no se puede "partir" un módulo de memoria físicamente) para que, estando los dos módulos de 8K situados en las direcciones mayores y menores, las palabras de direcciones sobrantes se repartan en dos áreas del mismo tamaño.

A_{15}	A_{14}	A_{13}	Direcciones (Hexadecimal)	
0	0	0	8 K de M_1	0000-1FFF
0	0	1	LIBRE	2000-3FFF
0	1	0	32 K de M_3	4000-BFFF
0	1	1		
1	0	0		
1	0	1		
1	1	0	LIBRE	C000-DFFF
1	1	1	8 K de M_2	E000-FFFF

Tabla 1. Mapa de memoria.

Como M_1 y M_2 son de 8K, para direccionar una palabra dentro de estos módulos se necesitan 13 líneas de dirección (a_{12-0}). En el caso de M_3 , de 32K se necesitan 15 líneas (a_{14-0}).

Se supone que los tres circuitos tienen de señal de selección $\overline{CSM}_1, \overline{CSM}_2, \overline{CSM}_3$,

A partir de la Tabla 1, se sigue que las señales de selección son:

$$CSM_1 = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \Rightarrow \overline{CSM}_1 = A_{15} + A_{14} + A_{13}$$

$$CSM_2 = A_{15} \cdot A_{14} \cdot A_{13} \Rightarrow \overline{CSM}_2 = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}}$$

$$CSM_3 = (A_{15} \cdot \overline{A_{14}}) + (\overline{A_{15}} \cdot A_{14}) \Rightarrow \overline{CSM}_3 = (A_{15} + \overline{A_{14}}) + (\overline{A_{15}} + A_{14})$$

Diseño de mapas de memoria

Se dan dos soluciones para la habilitación de los módulos de memoria con las señales \overline{CS}_{M1} , \overline{CS}_{M2} , \overline{CS}_{M3} , a partir de las funciones anteriores. La primera (Figura 1) utiliza un decodificador. La segunda (Figura 2) es un diseño a nivel de puertas.

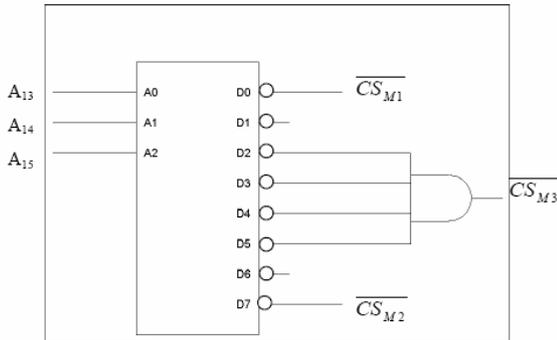


Figura 1. Lógica de selección de módulos utilizando un decodificador

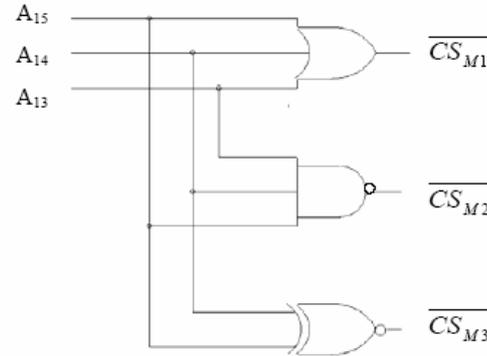


Figura 2. Lógica de selección de módulos utilizando puertas

Las líneas de dirección de M1 y M2 (a_{12-0}) se conectan directamente a las líneas A_{12-0} . Para M3 se necesitan 15 líneas A_i . En principio hay dos soluciones (en todo caso además de A_{13-0} hay que utilizar A_{15} ó A_{14}):

$$a_{14-0} = A_{14-0} \text{ ó } a_{14-0} = A_{15}A_{13-0}$$

Se elige la primera solución (Figura 3), pues es la que cubre el mapa de memoria.

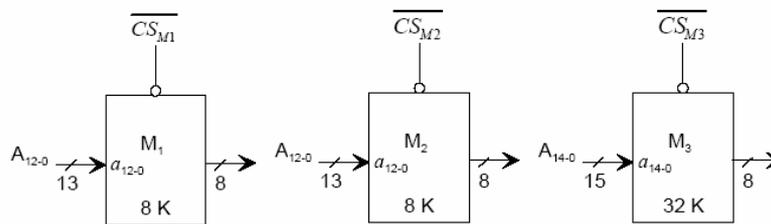


Figura 3. Lógica de direccionamiento

B) A partir de las direcciones A_{15-0} que se nos indican se tendrán que deducir los valores de A_{15} , A_{14} y A_{13} para determinar si se selecciona algún módulo y cuál es. También se tiene que analizar los valores de las líneas de dirección del módulo seleccionado (a_{12-0} para M1 y M2; a_{14-0} para M3) para determinar qué dirección interna es la que se activa.

En la Tabla 2 se muestran los resultados de dicho análisis:

$A_{15} A_{14} A_{13} A_{12}$ (binario)	$A_{11} - A_8$ (hexadecimal)	$A_7 - A_4$ (hexadecimal)	$A_3 - A_0$ (hexadecimal)	Memoria	Palabra de memoria (hexadecimal)
0 0 0 0	1	2	3	M ₁	$a_{12} a_{11-8} a_{7-4} a_{3-0} = 0 1 2 3$
0 0 1 0	3	4	5	Libre	
0 1 0 0	5	6	7	M ₃	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 4 5 6 7$
0 1 1 0	7	8	9	M ₃	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 6 7 8 9$
1 0 0 0	9	A	B	M ₃	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 0 9 A B$
1 0 1 0	B	C	D	M ₃	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 2 B C D$
1 1 0 0	D	E	F	Libre	
1 1 1 0	F	0	1	M ₂	$a_{12} a_{11-8} a_{7-4} a_{3-0} = 0 F 0 1$

Tabla 2. Módulo y palabra que se activan