

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: \_\_\_\_\_ Nombre: \_\_\_\_\_ DNI: \_\_\_\_\_

**INSTRUCCIONES:** Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.**

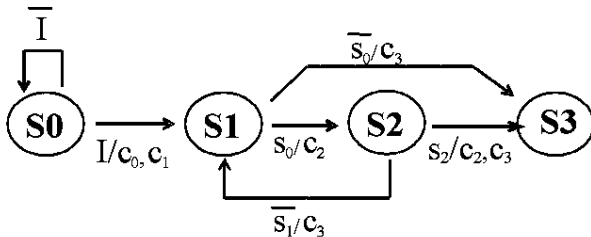
1.- La memoria de un ordenador consta de 15 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema al comienzo de la operación durante un 20% del tiempo total del ciclo de escritura. El 80% restante del tiempo de ciclo de escritura, el módulo lo emplea para almacenar el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse (pero sólo puede haber una petición en un instante de tiempo), ¿en cuánto se ve incrementada la velocidad máxima de almacenamiento de la memoria de este ordenador en relación a la velocidad de un único módulo?

- A) En nada                      B) En 5 veces                      C) En 10 veces                      D) Ninguna de las anteriores.

2.- Un sistema jerárquico de memoria tiene una memoria caché de 512 palabras, dividida en bloques de 16 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 4096K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?

- A) 135 nseg                      B) 150 nseg                      C) 180 nseg                      D) Ninguna de las anteriores.

3.- En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique si las siguientes afirmaciones son verdaderas:



I. La unidad de control se puede implementar usando dos MUX ( $2^2$ ), un registro de cuatro bits y una memoria ROM de  $2^4$  palabras con 16 bits por palabra.

II. La unidad de control se puede implementar usando un MUX ( $2^2$ ), un registro de dos bits y una memoria ROM de  $2^3$  palabras con 16 bits por palabra.

- A) I: sí, II: sí.                      B) I: sí, II: no.  
C) I: no, II: sí.                      D) I: no, II: no.

4.- Una memoria caché asociativa por conjuntos dispone de 8 conjuntos y utiliza bloques de 32 palabras, siendo su capacidad total de 4096 palabras. La memoria principal tiene una capacidad de 8192K palabras. ¿Cuántos bits hay en los diferentes campos del formato de dirección?

- A) Etiqueta: 10, Conjunto: 8, Palabra: 5                      B) Etiqueta: 12, Conjunto: 8, Palabra: 5  
C) Etiqueta: 15, Conjunto: 3, Palabra: 5                      D) Ninguna de las respuestas anteriores.

5.- Un multiplicador binario de 2 números de 8 bits cada uno se puede realizar con una memoria ROM de la siguiente capacidad:

- A)  $2^9$  palabras  $\times$  16 bits/palabra                      B)  $2^{16}$  palabras  $\times$  8 bits/palabra  
C)  $2^{16}$  palabras  $\times$  16 bits/palabra                      D)  $2^{16}$  palabras  $\times$  9 bits/palabra

6.- Un computador dispone de un canal multiplexor que controla 3 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 500 Kbytes/seg, y las de cinta de 250 Kbytes/seg. Si en lugar de un canal multiplexor se utilizase un canal selector con esos mismos dispositivos, la velocidad máxima de transferencia de este canal con respecto al multiplexor sería:

- A) 4 veces mayor.                      B) 4 veces menor.                      C) Igual.                      D) Ninguna de las anteriores.

7.- Determinar el número mínimo de palabras que podría tener una instrucción que especifica dos direcciones en un computador cuya memoria es de 16M palabras. Las palabras de memoria son de 8 bits. Los operandos pueden direccionar todo el mapa de memoria. El código de operación es de 8 bits y emplea para ambos operandos un direccionamiento directo o absoluto.

- A) 3                      B) 6                      C) 9                      D) Ninguna de las anteriores.

8.- Indique si las siguientes afirmaciones son verdaderas:

I. El formato horizontal de microinstrucciones permite que existan microinstrucciones de bifurcación condicional.

II. El formato horizontal de microinstrucciones permite tener memorias de control más pequeñas que el formato vertical.

A) I: sí, II: sí.

B) I: sí, II: no.

C) I: no, II: sí.

D) I: no, II: no.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1 (0.5 puntos):** Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina (CPI = 4) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Se desea determinar lo siguiente:

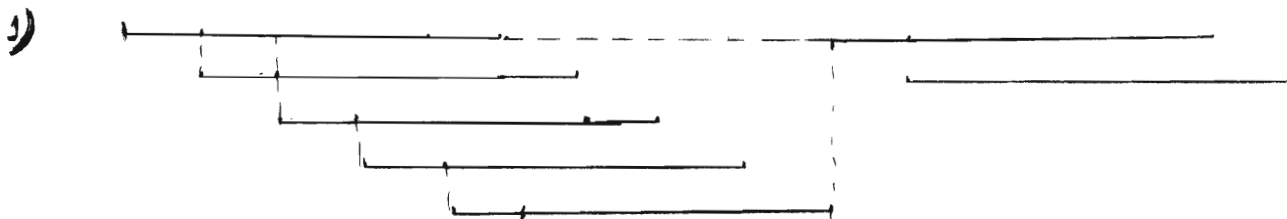
A) (1 pto) Capacidad de entrada de datos (ancho de banda) máxima en bytes/segundo a través del sistema de interrupciones.

B) (1 pto) Velocidad de rotación máxima a la que podrá operar el disco en r.p.m. (revoluciones por minuto).

C) (1 pto) Si el disco se conecta a través de DMA operando por robo de ciclo y cada vez que se le concede el bus transmite 8 bytes, calcular el tiempo que el DMA roba a la CPU durante la lectura de un sector.

D) (1 pto) Porcentaje de tiempo que la CPU dedica a la E/S durante la operación del DMA si el disco opera a la velocidad determinada en el apartado B).

Nota: Considerar que 1Mbyte =  $10^6$  bytes.



Se ve incrementada en 5 veces.  $\Rightarrow$  B

El nº de módulos con el que conseguimos el resultado óptimo es 5. A partir de este nº no se aumenta la velocidad

2) Cache 512 pal.

16 pal / bloque

$t_a = 15 \text{ ns}$

Mem ppal = 4096 Kpal

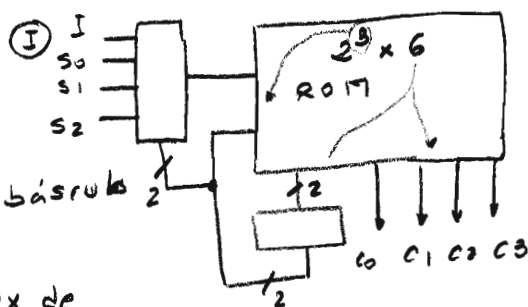
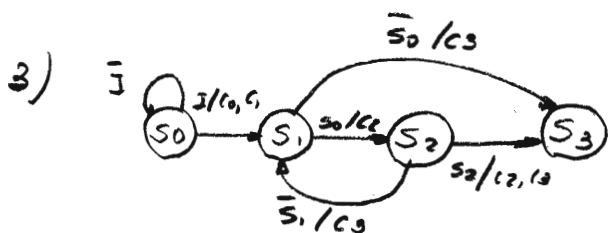
$t_m = 150 \text{ ns}$

Fallo  $\Rightarrow$  mover bloque  
y  
leer el dato

$\eta = 95\%$

Fallo  $\Rightarrow$  leer 16 palabras a 150 ns + 15 ns leer dato

$$t_{\text{medio}} = (0,95 \cdot 15) + (0,05 (16 \cdot 150 + 15)) = 135 \text{ ns} \Rightarrow \text{A}$$



$S_0 \div S_3 \Rightarrow 4 \text{ estados} \Rightarrow 2 \text{ bits} \Rightarrow 2 \text{ bits de control}$

Condiciones: I, s0, s1, s2  $\Rightarrow 4 \Rightarrow 1 \text{ MUX de 4 canales}$

Control: c0, c1, c2, c3

II = cierto

II = cierto

Mínimo =  $\begin{cases} \text{ROM de } 2^3 \times 6 \\ \text{MUX de 4 canales } 2^2 \end{cases}$

4) - Cache asociativa por conjuntos

- 8 conjuntos  $\Rightarrow 2^3$  conjuntos  $\Rightarrow 3$  bits

- Bloques 32 pal/blq  $\Rightarrow 2^5$  pala/blq  $\Rightarrow 5$  bit

- Tamaño 4096 pal  $\Rightarrow$

- Mem. ppal = 8192 Kpal  $\Rightarrow 2^{23} \Rightarrow 23$  bits

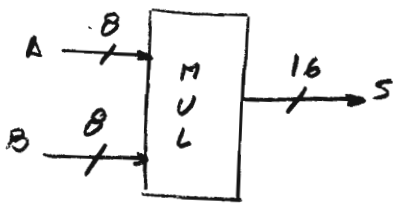


$23 - 8 = 15$

$\Downarrow$   
C

5) Multiplicador  $2 \times 2^8$  8 bits en ROM

8 bits  $\Rightarrow 255 \Rightarrow 255 \times 255 = 65025 \Rightarrow 16$  bits



$\Rightarrow$  ROM  $\rightarrow$  Bus dir = 16 (A(8) + B(8))  
Bus datos = 16 (salida)

$\Downarrow$   
 $2^{16} \times 16 \Rightarrow$  C

6) Canal multiplexor

3 HD — 500 kby/sq  $\Rightarrow 3 \times 500 = 1500$

2 cinta — 250 kby/sq  $\Rightarrow 2 \times 250 = \frac{500}{2000 \text{ kby/sq}}$

Canal selector

La mayor velocidad al seleccionar el dispositivo más rápido, en este caso un disco  $\Rightarrow 500$  kby/sq

Con canal selector  $\frac{2000}{500} = 4$  veces más lento

$\Downarrow$   
B

7) Memoria = 16 Mpal.

Pal = 8 bits

Operando direcciona todo el mapa

C. Operación = 8 bits

Dos direcciones en la instrucción.

16 Mpal  $\Rightarrow 2^{24} \Rightarrow$  Bus direcciones 24 bits

Dos direcciones  $\Rightarrow 2$  direcciones de 24 bits  $\Rightarrow 48$  bits

Ancho memoria = 8 bits  $\Rightarrow$  direcciones  $\frac{48}{8} = 6$

C. Oper = 1 palabra

Ancho total 54 bits  $\Rightarrow 6 + 1 = 7$  palabras  $\Rightarrow$  D

8) I) El formato horizontal de  $\mu I$  permite biturcación condicional  
FALSO, el formato horizontal afecta a las señales de control, no a las de condición

II) El formato horizontal de  $\mu I$  permite memorias de ctrl más pequeñas que el vertical.  
Falso, es justo al contrario

# Problema

CPU - 200 MHz      4 CPI

IRQ  $\Rightarrow$  100 ns

Disco 128 sec/pista      1024 byt/sect

Cada IRQ  $\Rightarrow$  8 bytes  $\Rightarrow$  rutina = 20 instrucciones.

$$200 \text{ MHz} \Rightarrow \frac{1}{200 \cdot 10^6} = 5 \cdot 10^{-9} \text{ s} \\ \Downarrow \\ 5 \text{ ns}$$

$$\text{Instru} \Rightarrow 4 \text{ CPI} \Rightarrow 20 \text{ ns}$$

A) Capacidad de entrada de datos bytes/sg.

$$\text{Por cada interrupción} \Rightarrow \left\{ \begin{array}{l} 100 \text{ ns} \text{ reconocer la IRQ} \\ 20 \text{ inst} \Rightarrow 20 \times 20 \text{ ns} = 400 \text{ ns} \end{array} \right\} t_{\text{TOTAL}} = 100 + 400 = 500 \text{ ns}$$

$$\text{Por interrup} \Rightarrow 8 \text{ bytes} \Rightarrow 500 \text{ ns} \Rightarrow \frac{1}{500 \cdot 10^{-9}} = 2 \cdot 10^6 \text{ envíos}$$

$$\text{Ancho banda} = 2 \cdot 10^6 \cdot 8 = 16 \text{ M Bytes/sg}$$

B) Velocidad máxima de rotación del disco

$$\text{Pista} \Rightarrow 128 \times 1024 = 131072 \text{ bytes/pista}$$

$$N^{\circ} \text{ interrupciones/pista} = \frac{131072}{8} = 16384 \text{ interrupciones}$$

$$16384 \times 500 \text{ ns} \text{ (tiempo en resolver una interrupción)} = 0,008192 \text{ sg}$$

$$0,008192 \text{ sg} \text{ — 1 vuelta}$$

$$60 \text{ sg} \text{ — } x$$

$$x = 7324,22 \text{ rpm}$$

C) Conexión de una DMA por robo de ciclo. Tiempo robado a la CPU en la lectura de un sector.

$$\text{Sector} \Rightarrow 1024 \text{ bytes} \Rightarrow \frac{1024}{8} = 128 \text{ robos} \Rightarrow 128 \text{ ciclos robados a la CPU}$$

$$\Downarrow \\ 128 \times 5 \cdot 10^{-9} = 640 \text{ ns}$$

D) % que la CPU dedica a la E/S.

$$1 \text{ vuelta} \Rightarrow 0,008192 \text{ sg}; \text{ en } 0,008192 \text{ sg} \text{ sin disco} \Rightarrow 0,008192 / 20 \text{ ns} = 409600 \text{ inst}$$

$$\text{En una vuelta } 16384 \text{ envíos} \Rightarrow 16384 \times 5 \text{ ns} = 81,92 \text{ } \mu\text{sg}$$

$$\begin{array}{l} \text{SIN DMA} \quad 409600 \text{ inst} \text{ — } 0,008192 \\ \text{CON DMA} \quad 409600 \text{ inst} \text{ — } 0,008192 + 81,92 \text{ } \mu\text{s} \end{array} \left\{ \frac{81,92 \cdot 10^{-6}}{0,00827392} = 0,99\% \right.$$

2008

PRIMERA SEMANA

## Test

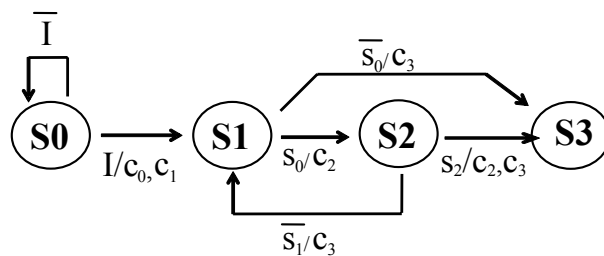
1.- La memoria de un ordenador consta de 15 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema al comienzo de la operación durante un 20% del tiempo total del ciclo de escritura. El 80% restante del tiempo de ciclo de escritura, el módulo lo emplea para almacenar el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse (pero sólo puede haber una petición en un instante de tiempo), ¿en cuánto se ve incrementada la velocidad máxima de almacenamiento de la memoria de este ordenador en relación a la velocidad de un único módulo?

- A) En nada      B) En 5 veces      C) En 10 veces      D) Ninguna de las anteriores.

2.- Un sistema jerárquico de memoria tiene una memoria caché de 512 palabras, dividida en bloques de 16 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 4096K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?

- A) 135 nseg      B) 150 nseg      C) 180 nseg      D) Ninguna de las anteriores.

3.- En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique si las siguientes afirmaciones son verdaderas:



I. La unidad de control se puede implementar usando dos MUX ( $2^2$ ), un registro de cuatro bits y una memoria ROM de  $2^4$  palabras con 16 bits por palabra.

II. La unidad de control se puede implementar usando un MUX ( $2^2$ ), un registro de dos bits y una memoria ROM de  $2^3$  palabras con 16 bits por palabra.

A) I: sí, II: sí.      B) I: sí, II: no.      C) I: no, II: sí.      D) I: no, II: no.

4.- Una memoria caché asociativa por conjuntos dispone de 8 conjuntos y utiliza bloques de 32 palabras, siendo su capacidad total de 4096 palabras. La memoria principal tiene una capacidad de 8192K palabras. ¿Cuántos bits hay en los diferentes campos del formato de dirección?

A) Etiqueta: 10, Conjunto: 8, Palabra: 5      B) Etiqueta: 12, Conjunto: 8, Palabra: 5  
C) Etiqueta: 15, Conjunto: 3, Palabra: 5      D) Ninguna de las respuestas anteriores.

5.- Un multiplicador binario de 2 números de 8 bits cada uno se puede realizar con una memoria ROM de la siguiente capacidad:

A)  $2^9$  palabras  $\times$  16 bits/palabra      B)  $2^{16}$  palabras  $\times$  8 bits/palabra  
C)  $2^{16}$  palabras  $\times$  16 bits/palabra      D)  $2^{16}$  palabras  $\times$  9 bits/palabra

6.- Un computador dispone de un canal multiplexor que controla 3 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 500 Kbytes/seg, y las de cinta de 250 Kbytes/seg. Si en lugar de un canal multiplexor se utilizase un canal selector con esos mismos dispositivos, la velocidad máxima de transferencia de este canal con respecto al multiplexor sería:

A) 4 veces mayor.      B) 4 veces menor.      C) Igual.      D) Ninguna de las anteriores.

7.- Determinar el número mínimo de palabras que podría tener una instrucción que especifica dos direcciones en un computador cuya memoria es de 16M palabras. Las palabras de memoria son de 8 bits. Los operandos pueden direccionar todo el mapa de memoria. El código de operación es de 8 bits y emplea para ambos operandos un direccionamiento directo o absoluto.

A) 3      B) 6      C) 9      D) Ninguna de las anteriores.

8.- Indique si las siguientes afirmaciones son verdaderas:

I. El formato horizontal de microinstrucciones permite que existan microinstrucciones de bifurcación condicional.

II. El formato horizontal de microinstrucciones permite tener memorias de control más pequeñas que el formato vertical.

A) I: sí, II: sí.      B) I: sí, II: no.      C) I: no, II: sí.      D) I: no, II: no.



---

## Solución al test

---

1. Si se tuviese un único módulo, la velocidad máxima se calcularía como el número de accesos entre el tiempo empleado para ello. Si sólo hay un módulo se realizará un acceso cada 100 unidades de tiempo, es decir, en el 100% del ciclo de escritura, independientemente de qué parte de ese tiempo se emplee en el uso del bus, dado que se sólo se tiene un módulo para realizar todas las operaciones.

Con 15 módulos se podrían dar hasta 15 accesos, pero como se invierte un 20% del tiempo de acceso (1/5 del tiempo total), en que el módulo de memoria utilice el bus, solamente se podrán solapar 5 módulos al mismo tiempo (cada 100 unidades de tiempo se pueden gestionar como máximo 5 accesos). Luego para gestionar los 15 accesos se necesitan 300 unidades de tiempo. Conclusión: con 15 módulos la velocidad es 5 veces mayor. Con 10 también sería 5 veces y con 50 también.

Respuesta: B (En 5 veces)

2. [Ver el apartado 2.4.1. del libro de teoría]. El tiempo medio de acceso  $t_a$  viene dado por la expresión:

$$t_a = h \times t_{ca} + (1-h) \times t_p$$

donde:

- $h$  es la tasa de acierto.
- $t_{ca}$  es el tiempo medio de acceso a la  $M_{ca}$ .
- $t_p$  es el tiempo medio de acceso a la  $M_p$ .

En caso de acierto, el tiempo medio de acceso es el tiempo de acceso a la memoria caché, 15 nseg. La probabilidad de acierto es del 95 % (0,95).

En caso de fallo, primero se mueve el bloque completo que ha producido el fallo desde la memoria principal a la memoria caché y luego, según el enunciado, se mueve la palabra que ha producido el fallo desde la caché a la CPU. Luego en caso de fallo:

1. Hay que mover 16 palabras (un bloque) desde la memoria principal, lo que lleva  $16 \times 150 \text{ nseg} = 2400 \text{ nseg}$ .
2. Después se mueve una palabra desde la caché, lo que emplea otros 15 nseg.

Luego en caso de fallo se tarda 2415 nseg. La probabilidad de un fallo de referencia es del  $100\% - 95\% = 5\%$  (0,05).

El tiempo medio de acceso de este sistema de memoria será por tanto:

$$(0,95 \times 15 \text{ nseg}) + (0,05 \times 2415 \text{ nseg}) = 14,25 \text{ nseg} + 120,75 \text{ nseg} = 135 \text{ nseg}.$$

Respuesta: A (135 nseg)

3. [Ver el apartado 5.5.8 del libro de teoría y problema 5-22 del libro de problemas].

Como la transición entre los estados no está regida por una única señal de condición en cada caso (véase la transición desde S2 en la que se tienen en cuenta dos condiciones diferentes), la unidad de control no puede realizarse empleando un único Mux de  $2^n$  que es lo que se propone en la afirmación II.

Empleando la generalización de la selección por campo que aparece en el problema 5-22, se tiene que:

- $n = 2$ , puesto que hay 4 estados.
- $q = 4$ , puesto que hay 4 señales de condición ( $I, s_0, s_1, s_2$ ).
- $m = 4$ , puesto que hay 4 señales de control que se deben generar ( $c_0, c_1, c_2$  y  $c_3$ ).
- $p = 2$ , puesto que la transición desde S2 depende de dos condiciones.

Por lo tanto sería suficiente con utilizar:

- $p=2$  MUX de 4 entradas
- 1 registro de  $\log_2 q+n=2+2=4$  bits
- 1 memoria ROM de  $2^{n+p}$  palabras  $\times (p \times \log_2 q+n+m)$  bits =  $2^4$  palabras  $\times (2 \times \log_2 4+2+4)=2^4$  palabras  $\times 10$  bits por palabra.

Este razonamiento conlleva a que la afirmación I es válida, puesto que la ROM tiene tamaño suficiente.

Respuesta: B (I: sí, II: no)

4. Se tiene una memoria caché asociativa por conjuntos donde el número de conjuntos  $q = 8 (=2^3)$ . La capacidad total de la memoria caché es de 4096 palabras (o sea  $2^{11}$  palabras) estructurada en bloques de 32 ( $=2^5$ ) palabras cada uno de ellos.

La capacidad de la memoria principal es de 8192K palabras (es decir  $2^{13} \times 2^{10} = 2^{23}$ ), por tanto el formato de la dirección de una palabra de memoria necesita 23 bits. Como la memoria caché utiliza una correspondencia asociativa por conjuntos, el formato de la dirección se divide en:

- Bits de etiqueta (los más significativos de la dirección).
- Bits de conjunto (los centrales de la dirección)
- Bits de palabra (los menos significativos de la dirección).

Como hay 32 palabras en cada bloque de memoria principal, se necesitan 5 bits para el campo de palabra. Como se tienen 8 conjuntos, son 3 los bits que se dedican al campo de conjunto. Por tanto  $23-3-5 = 15$  son los bits que se dedican al campo de etiqueta.

Respuesta: C (Etiqueta: 15, Conjunto: 3, Palabra: 5)

5. Para conocer el tamaño adecuado de la memoria ROM que se necesita, hay que darse cuenta de que el producto de un número binario de 8 bits con otro número binario de otros 8 bits, da como resultado un número binario de 16 bits. Por tanto la memoria ROM pedida debe ser capaz de almacenar todos los resultados de multiplicar 2 números

binarios de 8 bits. Si el resultado de cada multiplicación ocupa 16 bits, serán  $2^{16}$  los posibles resultados de llevar a cabo estas multiplicaciones. Por tanto la ROM necesaria debe tener una capacidad igual a la descrita en la respuesta C.

Respuesta: C ( $2^{16}$  palabras  $\times$  16 bits/palabra)

6. [Véase el apartado 3.6.2 del libro de teoría]. La máxima velocidad de transferencia del canal multiplexor es la suma de las velocidades máximas de todos los dispositivos que están conectados a él. Por tanto un canal multiplexor que controla 3 discos y 2 cintas tendría una velocidad de:

$$V = 3 \cdot V_{\text{disco}} + 2 \cdot V_{\text{cinta}} = 1500 + 500 = 2000 \text{ Kbytes/segundo.}$$

Por otro lado, el canal selector tendrá como velocidad máxima la del elemento más rápido conectado a él, puesto que en cada momento sólo puede transmitir con un dispositivo. En nuestro caso el elemento más rápido es el disco, que tiene una velocidad de transferencia de 500 Kbytes/segundo. Por tanto, la velocidad del canal selector será 4 veces menor que la del multiplexor.

Respuesta: B (4 veces menor)

7. [Ver el apartado 6.2.1 del texto de teoría]

Como el tamaño de memoria es de 16M palabras =  $2^4 \times 2^{20}$  palabras =  $2^{24}$  palabras, cada campo de dirección de la instrucción necesitaría 24 bits, de forma que una instrucción con dos direcciones necesitaría  $24+24+8 = 56$  bits (24 correspondientes a cada uno de los campos de dirección y 8 correspondiente al código de operación). Como las palabras de memoria según el enunciado son de 8 bits, para cada instrucción se necesitarán como mínimo 7 palabras de memoria.

Respuesta: D (Ninguna de las anteriores)

8. [Ver apartados 7.2 y 7.3 del libro de teoría].

Afirmación I: Si. El hecho de que existan microinstrucciones de bifurcación condicional es independiente del formato que tenga la microinstrucción.

Afirmación II: No. Es justo lo contrario. El formato vertical utiliza longitudes de palabra más reducidas y por lo tanto requiere memorias de control más pequeñas.

Respuesta: B (I: si, II: no)

---

## Cuestiones teórico-prácticas

---

**Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.** Solución: Esta pregunta ya ha sido contestada al resolver el test.

**Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.** Solución: Esta pregunta ya ha sido contestada al resolver el test.

**Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test. Solución:** Esta pregunta ya ha sido contestada al resolver el test.

---

## Problema

---

Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina (CPI = 4) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Se desea determinar lo siguiente:

- A) (1 pto) Capacidad de entrada de datos (ancho de banda) máxima en bytes/segundo a través del sistema de interrupciones.
- B) (1 pto) Velocidad de rotación máxima a la que podrá operar el disco en r.p.m. (revoluciones por minuto).
- C) (1 pto) Si el disco se conecta a través de DMA operando por robo de ciclo y cada vez que se le concede el bus transmite 8 bytes, calcular el tiempo que el DMA roba a la CPU durante la lectura de un sector.
- D) (1 pto) Porcentaje de tiempo que la CPU dedica a la E/S durante la operación del DMA si el disco opera a la velocidad determinada en el apartado B).

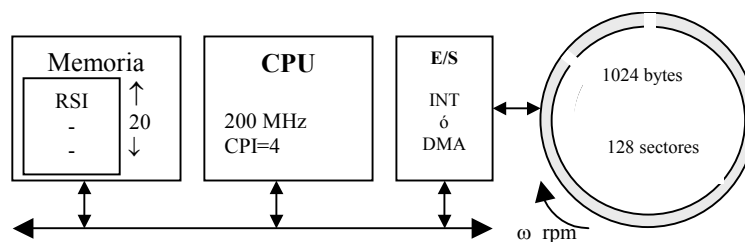
Nota: Considerar que 1Mbyte =  $10^6$  bytes.

---

## Solución al problema

---

En la figura se muestran los elementos que intervienen en el problema:



### Solución apartado A)

A partir de la frecuencia del procesador se calcula el **tiempo de ciclo ( $t_c$ )** del mismo, que es la inversa de la frecuencia. Por tanto con una frecuencia de 200 MHz  $\Rightarrow t_c = 5$  ns.

El **tiempo que dura una operación de E/S por interrupción ( $t_{int}$ )** es la suma del tiempo que se emplea en el reconocimiento de la interrupción (100 ns) más el tiempo empleado en ejecutar la rutina que gestiona dicha interrupción. Esta rutina consta de 20 instrucciones, cada una de ellas de 4 ciclos y sabemos que el tiempo empleado por ciclo

es de 5 ns, (dato que se obtiene a partir de la frecuencia del procesador). Por tanto, el tiempo de una operación de E/S por interrupción es el siguiente:

$$t_{\text{int}} = 100 \text{ ns} + 20 \text{ instrucciones} \times 4 \text{ ciclos/instrucción} \times 5 \text{ ns/ciclo} = 500 \text{ ns}.$$

Durante este tiempo se transmiten 8 bytes, por lo que el **ancho de banda** (bytes/seg) a través del sistema de interrupciones será el número de bytes transmitido entre el tiempo que se tarda en transmitir:

$$\text{Ancho de banda} = 8 \text{ bytes} / (500 \times 10^{-9} \text{ sg}) = 16 \times 10^6 \text{ bytes/sg} = 16 \text{ MB/sg}$$

(Recuérdese que se ha tomado 1MByte=10<sup>6</sup> bytes, tal y como se indica en el enunciado)

### **Solución apartado B)**

El disco magnético tiene 128 sectores/pista y 1.024 bytes/sector. Por tanto, el **número de bytes/pista** se calcula como:

$$1.024 \text{ bytes/sector} \times 128 \text{ sectores/pista} = (2^{10} \times 2^7) \text{ bytes/pista} = 2^{17} \text{ bytes/pista}$$

Por otro lado, para calcular la velocidad máxima de rotación es necesario conocer el ancho de banda del disco. Como el disco está conectado al procesador a través del sistema de interrupciones, su ancho de banda debe ser menor o igual que el ancho de banda del sistema de interrupciones (calculado en el apartado A) del problema).

Para calcular el **ancho de banda del disco** se debe multiplicar el número de bytes/ pista por la velocidad a la que se opera con cada una de esas pistas, por tanto:

$$\begin{aligned} \text{Ancho de banda (disco)} &= 2^{17} \text{ bytes/pista} \times \omega \text{ pistas/min} = 2^{17} \times \omega \text{ bytes/min} = \\ &= 2^{17} \times \omega / 60 \text{ bytes/segundo} \end{aligned}$$

Donde  $\omega$  = velocidad angular en rpm (pistas/min)

Como el Ancho de banda (E/S interrupción)  $\geq$  Ancho de banda (disco)  $\Rightarrow$

$$16 \times 10^6 \text{ bytes/seg} \geq 2^{17} \times \omega / 60 \text{ bytes/seg} \Rightarrow$$

$$\omega \leq 60 \times 16 \times 10^6 / 2^{17} = 7324,21 \text{ rpm} = 122 \text{ rps}$$

### **Solución apartado C)**

Nuestro sistema dispone de:

- Un disco magnético donde cada sector = 1024 bytes
- Las operaciones de DMA durante la lectura de un sector son:  
(1024 bytes/sector) / (8 bytes/operación) = 128 operaciones/sector
- Cada operación ocupa 1 ciclo y el tiempo empleado por ciclo es de 5 ns  $\Rightarrow$

$$\text{Tiempo robado a la CPU} = 128 \text{ operaciones} \times 5 \text{ ns/operación} = 640 \text{ ns}$$

### **Solución apartado D)**

Se tiene que:

- **Tiempo de lectura de una pista** es equivalente a la inversa de la velocidad angular de lectura de cada pista calcula en el apartado B), es decir,  $(1/122) \text{ sg} = 8157 \mu\text{s}$ .
- Como se tienen 128 sectores / pista, **el tiempo de lectura de un sector** será igual al tiempo de lectura de una pista dividido entre el número de sectores por pista que tiene el disco, es decir,  $8157 \mu\text{s} / 128 = 64 \mu\text{s}$
- Por último, **el porcentaje de tiempo que la CPU dedica a la E/S** se calculará como el tipo robado a la CPU entre el tiempo empleado en leer un sector, todo ello expresado en porcentajes, por tanto,  $100 \times 640 \text{ ns} / 64000 \text{ ns} = 1 \%$

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: \_\_\_\_\_ Nombre: \_\_\_\_\_ DNI: \_\_\_\_\_

**INSTRUCCIONES:** Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es C.**

1.- Indique cuántos módulos de memoria ROM de  $2^n$  palabras  $\times$  1 bit/palabra serían necesarios para diseñar un circuito combinacional que sume un número de  $n$  bits y otro de  $2n$  bits.

- A)  $2^{2n} \times (2n+1)$ .      B)  $2^3 \times (2n+1)$ .      C)  $2^3 \times (2n)$ .      D) Ninguna de las anteriores.

2.- El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados ( $S_0, S_1, S_2, S_3$ ) y dos señales de condición ( $I, s_0$ ). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente:  $S_0: \{Q_1=0, Q_0=0\}$ ,  $S_1: \{Q_1=0, Q_0=1\}$ ,  $S_2: \{Q_1=1, Q_0=0\}$  y  $S_3: \{Q_1=1, Q_0=1\}$ .

Estado presente $Q_1 Q_0$	Próximo estado			
	$\bar{I} \bar{s}_0$	$\bar{I} s_0$	$I \bar{s}_0$	$I s_0$
00	00	00	01	01
01	11	10	11	10
10	11	11	11	11
11	01	11	01	11

A la izquierda, se muestra la tabla de transición de estados. Indique si las siguientes afirmaciones, acerca de la función de entrada al segundo elemento de memoria, son verdaderas:

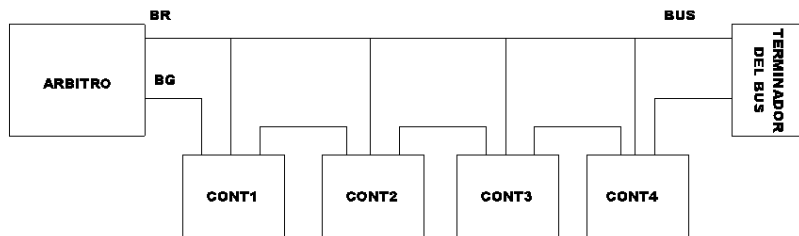
- A)  $D_1 = s_0 \cdot Q_1 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$   
 B)  $D_1 = s_0 \cdot Q_0 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$   
 C) Las dos afirmaciones anteriores son correctas.  
 D) Todas las afirmaciones anteriores son falsas.

3.- Un computador posee un registro índice  $R_i$  cuyo contenido en un momento dado es,  $(R_i)=A01$  (expresado en hexadecimal). El computador tiene una memoria de 4K palabras de 12 bits. Cada palabra de memoria contiene un valor igual a su dirección desplazada a la izquierda tres posiciones (desplazamiento LICD de tres posiciones). Por ejemplo: el contenido de la dirección 000 es 000, el de la 001 es 008, el de C03 es 01E, etc, todos ellos expresados en hexadecimal. La próxima instrucción que va a ejecutar el computador contiene un operando referenciado a través de un modo de direccionamiento indexado respecto al mencionado registro índice  $R_i$ . Sabiendo que el contenido del campo de dirección de la instrucción es 3AB, indicar cuál es el valor, en hexadecimal, del operando referenciado:

- A) D46      B) DAC      C) D66      D) Ninguna de las anteriores

4.- En el sistema de la figura, BR representa la línea de petición de bus y BG la de autorización. En un momento dado, mientras CONT3 está haciendo uso del bus, CONT4 activa su línea de petición, y a continuación lo hace CONT2 y por último CONT1. Cuando CONT3 deje de utilizar el bus, ¿cuál será el próximo dispositivo que asumirá el control del bus?

- A) CONT1  
 B) CONT2  
 C) CONT4  
 D) Ninguna de las anteriores.



5.- En un computador que funciona a una velocidad de  $10^8$  ciclos/segundo, una instrucción emplea, en promedio, 4 ciclos máquina en ser ejecutada y en 2 de esos ciclos no hace uso del bus. Este computador tiene un controlador de DMA que emplea 1 ciclo en la transferencia de una palabra. Indique si las afirmaciones precedentes son verdaderas:

- I. Utilizando DMA transparente la máxima velocidad de transferencia de datos es de 50.000.000 palabras/seg.  
 II. Empleando DMA por robo de ciclos la máxima velocidad de transferencia de datos es de 25.000.000 palabras/seg.

- A) I: sí, II: sí.      B) I: sí, II: no.      C) I: no, II: sí.      D) I: no, II: no.

6.- El siguiente diagrama representa una memoria asociativa y su contenido. A la vista de los valores del registro argumento, del registro de máscara, del registro etiqueta y del contenido de la memoria, ¿cuál sería el valor del registro de marca?

1	0	0	1	1	0	1	0
1	0	0	1	0	1	0	1

ARGUMENTO  
MÁSCARA

0
0
0
0
1

0
1
1
0
1

0
1
1
0
0

A)      B)      C)      D) Ninguna de las anteriores

1
1
1
0
0

ETIQUETA

1	1	0	1	1	1	1	1
1	1	0	1	1	0	1	0
1	0	0	1	0	0	0	0
1	0	1	0	0	1	1	0
1	1	0	1	1	0	0	0

MARCA

?
?
?
?
?

7.- Se desea construir un multiplicador binario que multiplique dos números de 8 y 16 bits, respectivamente. Para ello se utilizarán exclusivamente dos módulos ROM de 64K palabras  $\times$  16 bits/palabra y sumadores binarios paralelos de 8 bits. ¿Cuál es el mínimo número necesario de sumadores de este tipo?

- A) 4      B) 3      C) 1      D) 2

8.- Indique si las siguientes afirmaciones son verdaderas:

- I. El formato horizontal de microinstrucciones permite tener las señales de control ya decodificadas, por lo que su ejecución es más rápida que el formato vertical.
- II. El formato horizontal de microinstrucciones permite tener varias señales de control de un mismo subcampo activas a la vez.

- A) I: sí, II: sí.      B) I: sí, II: no.      C) I: no, II: sí.      D) I: no, II: no.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1 (0.5 puntos):** Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

Un computador dispone de un sistema de memoria central constituido por una memoria principal  $M_p$  de 64 Kbytes y una memoria cache  $M_c$  asociativa por conjuntos de 2 Kbytes organizada en 2 conjuntos y 4 bloques por conjunto. Se pide lo siguiente:

- 1) (0.75 puntos) Especifique el número de bits de los campos en que se descompone una dirección de memoria principal de este sistema.
- 2) (1.5 puntos) Esquema de correspondencia entre  $M_p$  y  $M_c$ .
- 3) (1.75 puntos) Si en un determinado instante el conjunto 0 contiene las etiquetas (10, 8, 9, 11) y el conjunto 1 las etiquetas (8, 9, 10, 11) ¿Qué bloques de  $M_p$  están cargados en  $M_c$ ?



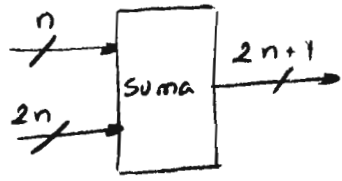
1º) Sumador de n bit y 2n bits con ROM.

El resultado de sumar 2 números de n bits uno y el otro 2n bits dará un nº de 2n+1 bits.

Ejemplo

	111	(n)
111	111	(2n)
1000	110	(2n+1)

⇒ ROM  
Entradas (Bus direcciones)  
 n + 2n  
Salidas (Bus datos)  
 2n+1



ROM =  $2^{n+2n} \times (2n+1) = 2^{3n} (2n+1) \Rightarrow \mathbf{D}$

2º) según la tabla de transición de estados

$Q_1, Q_0$	$\bar{J} \bar{S}_0$	$\bar{J} S_0$	$J \bar{S}_0$	$J S_0$
0 0	0 0	0 0	0 1	0 1
0 1	① 1	① 0	① 1	① 0
1 0	① 1	① 1	① 1	① 1
1 1	0 1	① 1	0 1	① 1

D1 deberá ser "1" en todos los "Estados posteriores" que sean "1"

$Q_1, Q_0$   
 Estado anterior      Estado posterior

$D1 = Q_1 \bar{Q}_0$   
 $D1 = \bar{Q}_1 Q_0$

$D1 = Q_1 S_0$

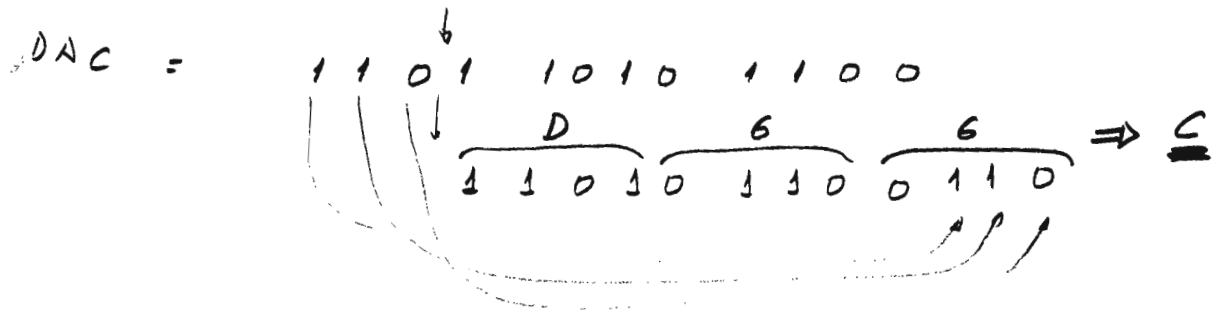
$D1 = Q_1 S_0 + Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 \Rightarrow \mathbf{C}$

$$(R_i) = A01$$

Dirección de la instrucción = 3AB

Dirección final  $3AB + A01 = DAC$

- El contenido de la dirección (DAC) será dicha dirección desplazada 3 lugares a la izda (LSD)



4) BR = petición de bus

BG = autorización

Instante ⇒ CONT3 usa bus y

CONT 4	(1°)
CONT 2	(2°)
CONT 1	(3°)

cuando termine CONT3 usará el bus CONT1 pq está más próximo al árbitro ⇒ A

5)  $10^8$  ciclos/seg / 4 ciclos/instr ⇒ en 2 ciclos bus libre

DMA → 1 ciclo transferir palabra

I) DMA transparente velocidad máxima:

$$\frac{10^8}{4} = 25 \cdot 10^6 \text{ instr} \Rightarrow 2 \text{ ciclos libres} \Rightarrow 2 \text{ transf/instrucción}$$

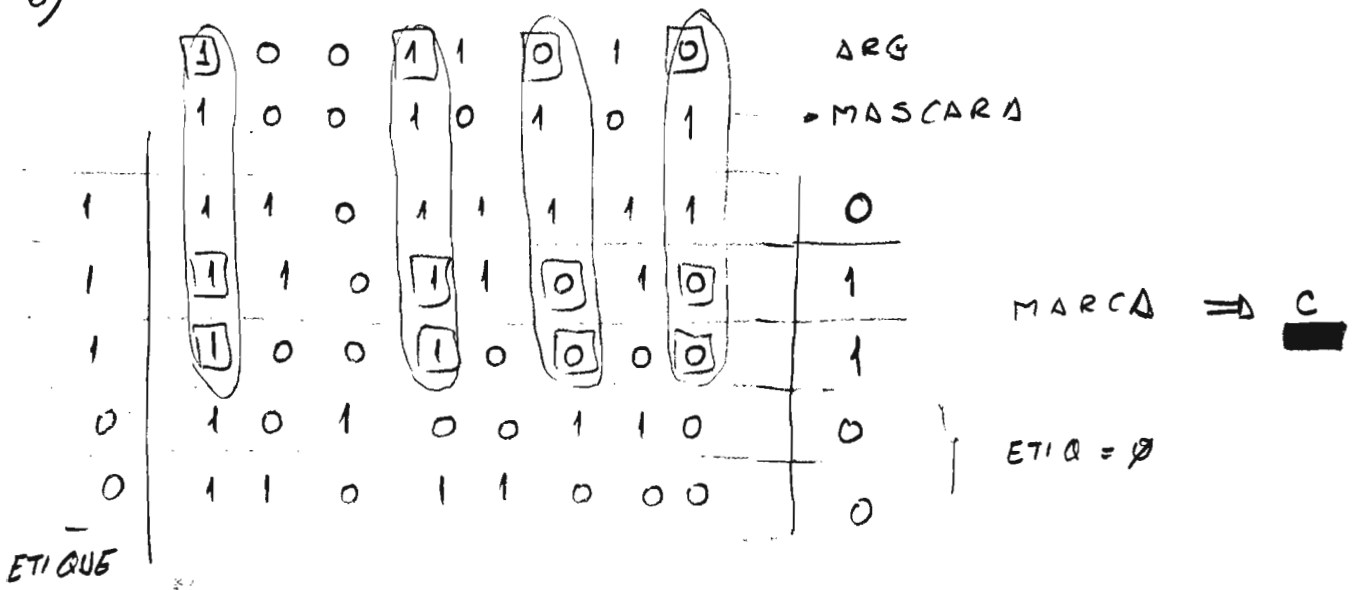
$$25 \cdot 10^6 \cdot 2 = 50 \cdot 10^6 \text{ pal/seg} \Rightarrow \underline{\underline{\text{Verdadero}}}$$

II) DMA robo ciclo ⇒ 1 instrucción + 1 transferencia

$$1 \text{ instr} + 1 \text{ transfer} \Rightarrow 5 \text{ ciclos reloj} \Rightarrow \frac{10^8}{5} = 20 \cdot 10^6 \text{ pal/seg}$$

B ← II = FALSO

6)



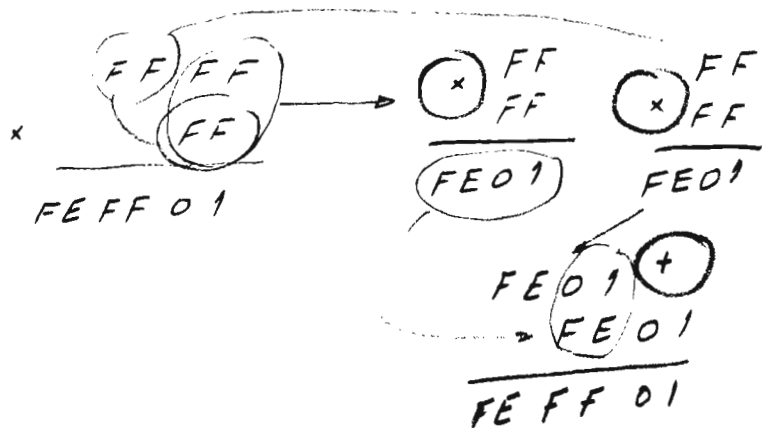
F) Multiplicador de 2 números de 8 y 16 bits con ROM y sumadores de 8 bits.

Haciendo la similitud con decimal ⇒  $\begin{array}{r} 99 \\ 9 \end{array}$

Unidades  $9 \times 9 = 81$   
 Decenas  $9 \times 9 = 81$

$\begin{array}{r} 81 \\ 81 \\ \hline 991 \end{array}$

Hexadecimal →



Hacen falta → 2 ROM de  $2^{16} \times 16$  (Una por multiplicación)  
 ↳ 1 sumador de 8 bits para sumar la parte alta de la multiplicación de unidades y la baja de decenas.

Por lo tanto es necesario 1 sumador de 8 bits  
 ¿En las respuestas pone 2?

8) I) El formato horizontal presenta las señales control ya decodificadas, por lo que no hay que decodificar las y por lo tanto su ejecución es más rápida  $\Rightarrow$  I = Verdadero

II) El formato horizontal permite tener varias señales de control de un mismo campo activas a la vez.  $\Rightarrow$  II = Verdadero

2008

## SEGUNDA SEMANA

### Test

1.- Indique cuántos módulos de memoria ROM de  $2n$  palabras  $\times$  1 bit/palabra serían necesarios para diseñar un circuito combinacional que sume un número de  $n$  bits y otro de  $2n$  bits.

A)  $2^{2n} \times (2n+1)$ .      B)  $2^3 \times (2n+1)$ .      C)  $2^3 \times (2n)$ .      D) Ninguna de las anteriores.

2.- El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados ( $S_0, S_1, S_2, S_3$ ) y dos señales de condición ( $I, s_0$ ). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente:  $S_0: \{Q_1=0, Q_0=0\}$ ,  $S_1: \{Q_1=0, Q_0=1\}$ ,  $S_2: \{Q_1=1, Q_0=0\}$  y  $S_3: \{Q_1=1, Q_0=1\}$ .

Estado presente $Q_1 Q_0$	Próximo estado			
	$\bar{I} \bar{s}_0$	$\bar{I} s_0$	$I \bar{s}_0$	$I s_0$
00	00	00	01	01
01	11	10	11	10
10	11	11	11	11
11	01	11	01	11

A la izquierda, se muestra la tabla de transición de estados. Indique si las siguientes afirmaciones, acerca de la función de entrada al segundo elemento de memoria, son verdaderas:

A)  $D_1 = s_0 \cdot Q_1 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$

B)  $D_1 = s_0 \cdot Q_0 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$

C) Las dos afirmaciones anteriores son correctas.

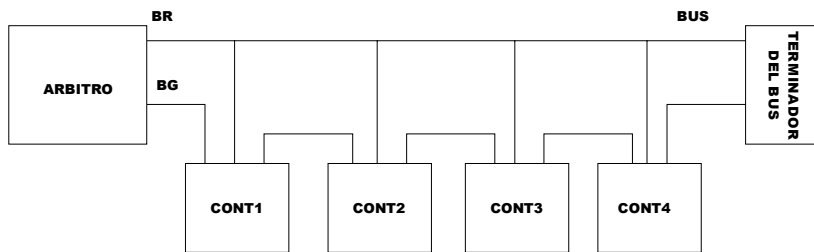
D) Todas las afirmaciones anteriores son falsas.

3.- Un computador posee un registro índice  $R_i$  cuyo contenido en un momento dado es,  $(R_i)=A01$  (expresado en hexadecimal). El computador tiene una memoria de 4K palabras de 12 bits. Cada palabra de memoria contiene un valor igual a su dirección desplazada a la izquierda tres posiciones (desplazamiento LICD de tres posiciones). Por

ejemplo: el contenido de la dirección 000 es 000, el de la 001 es 008, el de C03 es 01E, etc, todos ellos expresados en hexadecimal. La próxima instrucción que va a ejecutar el computador contiene un operando referenciado a través de un modo de direccionamiento indexado respecto al mencionado registro índice Ri. Sabiendo que el contenido del campo de dirección de la instrucción es 3AB, indicar cuál es el valor, en hexadecimal, del operando referenciado:

- A) D46      B) DAC      C) D66      D) Ninguna de las anteriores

4.- En el sistema de la figura, BR representa la línea de petición de bus y BG la de autorización. En un momento dado, mientras CONT3 está haciendo uso del bus, CONT4 activa su línea de petición, y a continuación lo hace CONT2 y por último CONT1. Cuando CONT3 deje de utilizar el bus, ¿cuál será el próximo dispositivo que asumirá el control del bus?



- A) CONT1      B) CONT2      C) CONT4      D) Ninguna de las anteriores.

5.- En un computador que funciona a una velocidad de  $10^8$  ciclos/segundo, una instrucción emplea, en promedio, 4 ciclos máquina en ser ejecutada y en 2 de esos ciclos no hace uso del bus. Este computador tiene un controlador de DMA que emplea 1 ciclo en la transferencia de una palabra. Indique si las afirmaciones precedentes son verdaderas:

- I. Utilizando DMA transparente la máxima velocidad de transferencia de datos es de 50.000.000 palabras/seg.  
 II. Empleando DMA por robo de ciclos la máxima velocidad de transferencia de datos es de 25.000.000 palabras/seg

- A) I: sí, II: sí.      B) I: sí, II: no.      C) I: no, II: sí.      D) I: no, II: no.

6.- El siguiente diagrama representa una memoria asociativa y su contenido. A la vista de los valores del registro argumento, del registro de máscara, del registro etiqueta y del contenido de la memoria, ¿cuál sería el valor del registro de marca?

0	0	0
0	1	1
0	1	1
0	0	0
1	1	0

- A)      B)      C)      D) Ninguna de las anteriores

1	0	0	1	1	0	1	0
1	0	0	1	0	1	0	1

ARGUMENTO  
MÁSCARA

ETIQUETA	1	1	1	0	1	1	1	1	1	?
	1	1	1	0	1	1	0	1	0	?
	1	1	0	0	1	0	0	0	0	?
	0	1	0	1	0	0	1	1	0	?
	0	1	1	0	1	1	0	0	0	?
										MARCA

7.- Se desea construir un multiplicador binario que multiplique dos números de 8 y 16 bits, respectivamente. Para ello se utilizarán exclusivamente dos módulos ROM de 64K palabras  $\times$  16 bits/palabra y sumadores binarios paralelos de 8 bits. ¿Cuál es el mínimo número necesario de sumadores de este tipo?

- A) 4    B) 3    C) 1    D) 2

8.- Indique si las siguientes afirmaciones son verdaderas:

- I. El formato horizontal de microinstrucciones permite tener las señales de control ya decodificadas, por lo que su ejecución es más rápida que el formato vertical.
- II. El formato horizontal de microinstrucciones permite tener varias señales de control de un mismo subcampo activas a la vez.

- A) I: sí, II: sí.    B) I: sí, II: no.    C) I: no, II: sí.    D) I: no, II: no.

## Solución al test

1. Se desea diseñar un circuito combinacional que sume un número  $n$  bits y otro de  $2n$  bits empleando para ello tantos módulos de memoria ROM de  $2n$  palabras  $\times$  1 bit/palabra como sean necesarios. El tamaño total de la ROM necesaria, resultante de la conexión de estos módulos, se calcula teniendo en cuenta que:

- La memoria ROM resultante deberá tener  $n + 2n = 3n$  líneas de dirección, es decir,  $2^{3n}$  palabras.
- Dado que el resultado de sumar un número de  $n$  bits, con otro de  $2n$  bits, es un número de  $2n+1$  bits, cada palabra de la ROM resultante deberá tener  $2n+1$  bits.

A consecuencia de lo anterior, la ROM resultante debe tener la siguiente capacidad total:

$$2^{3n} \text{ palabras} \times (2n+1) \text{ bits/palabra}$$

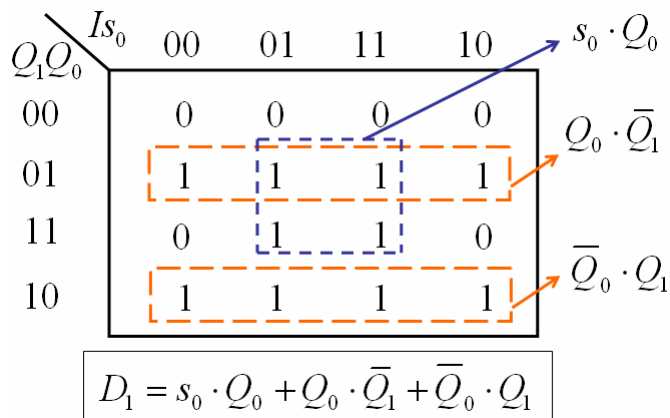
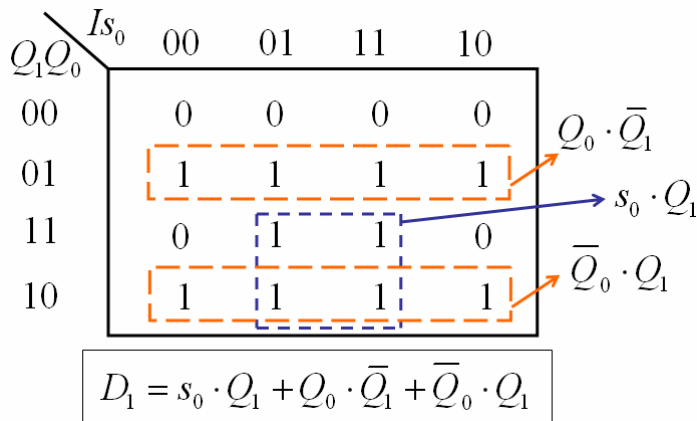
Puesto que esta memoria debe construirse usando módulos de  $2n$  palabras/módulo  $\times$  1 bit/palabra, es preciso emplear:

$$\begin{aligned} & (2^{3n} \text{ palabras} \times (2n+1) \text{ bits/palabra}) / (2n \text{ palabras/módulo} \times 1 \text{ bit/palabra}) \\ & = (2^{3n}/2n) \times (2n+1) \text{ módulos} = 2^{3n-1} \times ((2n+1)/n) \text{ módulos.} \end{aligned}$$

Se debe tener en cuenta que el número de módulos resultantes debe ser entero.

Respuesta: D) Ninguna de las anteriores.

2. [Ver el apartado 5.5.5 del texto de teoría]. Tal y como se aprecia en los diagramas de Karnaugh correspondientes a la implementación del diagrama de estados de la pregunta se puede apreciar que las dos soluciones propuestas en A) y en B) son correctas. Por lo que la respuesta correcta es la C.



Respuesta: C (Las dos afirmaciones anteriores son correctas).

3. [Ver el apartado 6.2 y sección 4.9 del texto de teoría]. En el direccionamiento indexado el campo de dirección de la instrucción especifica la dirección de comienzo denominada base, mientras que el índice se encuentra en un registro índice específico. El cálculo de la dirección efectiva se efectúa sumando el contenido del registro índice al valor de la base.

En nuestro caso la base es 3AB = 0011 1010 1011 y el índice es A01 = 1010 0000 0001. Si se suman ambos números se tiene como resultado 1101 1010 1100. Ahora bien, el operando, que es sobre el que pregunta el enunciado, será esta dirección de memoria desplazada mediante desplazamiento LICD tres posiciones.

Esto es: 1101 0110 0110 = D66

Respuesta: C (D66).



4. [Ver el apartado 3.4.5 del texto de teoría]. Como es un sistema daisy-chaining con interrupciones encadenadas, el periférico más cercano al árbitro es prioritario porque se le pregunta primero a la hora de conceder el bus, independientemente de cuando haya solicitado su uso. Aunque CONT1 es el último en solicitar el bus, mientras lo haga antes de que CONT3 acabe de usarlo, como está más próximo al árbitro, tomará el bus antes que CONT4 y que CONT2.

Respuesta: A (CONT1).

5. [Ver el apartado 3.5.2. del texto de teoría]. Datos del problema:

- $V = 10^8$  ciclos/s.
- 4 ciclos/instr.
- 2 ciclos sin uso del bus.
- 1 ciclo/pal\_transf.

I. DMA transparente, transmite cuando la CPU no está utilizando el bus.

$$\frac{((10^8 \text{ ciclos/s}) / (1 \text{ ciclo/pal\_transf.}))}{((4 \text{ ciclos/instr.}) / (2 \text{ ciclos/intr.}))} = 5 \times 10^7 \text{ pal\_transf./s.}$$

Por tanto la primera afirmación es cierta.

II. Por robo de ciclo: Cuando el DMA toma el control del bus lo retiene durante un sólo ciclo. Por tanto, el DMA por robo de ciclos transmite en el ciclo de instrucción más el tiempo que se tarda en transmitir una palabra:

$$(10^8 \text{ ciclos/s}) / (4 \text{ ciclos/instr.} + 1 \text{ ciclo/palabra}) = 2 \times 10^7 \text{ pal\_transf./seg.}$$

Por tanto la segunda afirmación es falsa.

Respuesta: B (I. si, II. no).

6. [Ver el apartado 2.5.2 del texto de teoría]. A la hora de calcular el valor del registro de marca sólo hay que tener en cuenta las palabras activas, es decir, aquellas cuyo bit de etiqueta está a 1. Y de éstas, sólo se consideran los bits del argumento cuyo correspondiente bit de máscara está a 1. Primero se deben tachar las columnas de la memoria asociativa cuyo bit del registro de máscara está a cero. Es decir, el argumento a comparar sería en nuestro caso 1xx1x0x0 (donde las x representan los bits que no se han de comparar).

	1	0	0	1	1	0	1	0	
	1	0	0	1	0	1	0	1	ARGUMENTO
									MÁSCARA
ETIQUETA	1	1	0	1	1	1	1	1	?
	1	1	0	1	1	0	1	0	?
	1	0	0	1	0	0	0	0	?
	0	1	0	1	0	1	1	0	?
	0	1	1	0	1	0	0	0	?
									MARCA

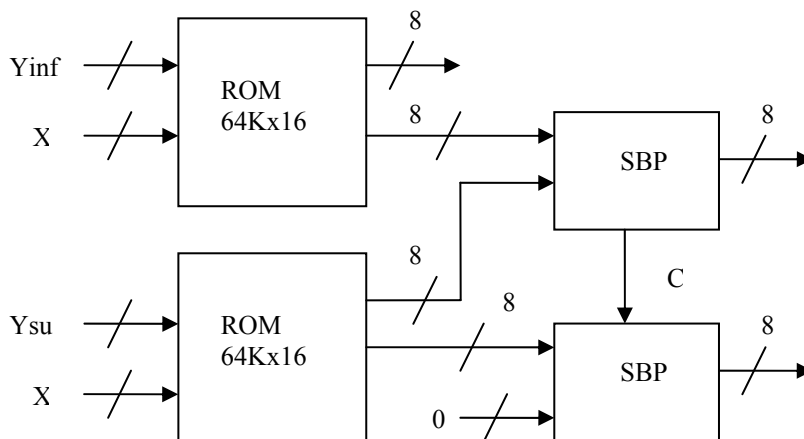
A partir de ahí se consideran sólo las palabras cuyo bit de etiqueta sea 1 y se comparan los bits no tachados del registro argumento con los bits no tachados de cada una de las filas de la matriz asociativa. Si son iguales se pone un 1 el correspondiente bit de marca, en caso contrario se pone un 0. La marca correcta es, por tanto, 01100.

Respuesta: C (01100).

7. [Ver el apartado 4.20 del libro de teoría]. Se deben multiplicar dos números binarios, uno de 8 bits y otro de 16. El resultado de la operación necesita 24 bits para poder ser expresado. Se dispone de dos módulos ROM de 64Kpalabras de 16 bits/palabra y de sumadores binarios paralelos de 8 bits. Como los módulos ROM utilizados almacenan  $2^{16}$  palabras de 16 bits, pueden almacenar la multiplicación de dos números binarios de 8 bits. Para llevar a cabo la multiplicación se supone que el multiplicando es el número de 16 bits  $Y = (Y_{15}, Y_{14}, \dots, Y_1, Y_0)$ , que se puede dividir en dos de 8 bits que sean  $Y_{sup} = (Y_{15}, Y_{14}, \dots, Y_8)$  e  $Y_{inf} = (Y_7, Y_6, \dots, Y_0)$ . El multiplicador será un  $X = (X_7, \dots, X_0)$ .

El primer módulo ROM tendrá como entradas  $Y_{inf}$  y  $X$  almacenando el producto de ambos. Y el segundo tendrá como entradas  $Y_{sup}$  y  $X$  almacenando igualmente su producto. Cada módulo ROM guarda palabras de 16 bits. En el primer módulo los 8 bits menos significativos de la palabra serán ya parte del resultado de multiplicar de forma completa el número de 16 por el de 8 bits, pero los 8 más significativos se deben sumar a los 8 menos significativos del segundo módulo ROM, para lo cual se debe usar el primer sumador binario. La salida de este sumador serán 8 bits más del resultado. Los 8 bits más significativos del segundo módulo ROM deben sumarse al acarreo del sumador anterior, proporcionando los 8 bits restantes del resultado de la multiplicación.

El esquema se muestra en la figura adjunta.



Respuesta: D (2)

8. [Ver el apartado 7.2.4 del libro de teoría].

Respuesta: B (I: sí, II: no)

---

## Cuestiones teórico-prácticas

---

**Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.**

Solución: Esta pregunta ya ha sido contestada al resolver el test.

**Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.**

Solución: Esta pregunta ya ha sido contestada al resolver el test.

**Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.**

Solución: Esta pregunta ya ha sido contestada al resolver el test.

---

## Problema

---

Un computador dispone de un sistema de memoria central constituido por una memoria principal  $M_p$  de 64 Kbytes y una memoria cache  $M_c$  asociativa por conjuntos de 2 Kbytes organizada en 2 conjuntos y 4 bloques por conjunto. Se pide lo siguiente:

- 1) (0.75 pto.) Especifique el número de bits de los campos en que se descompone una dirección de memoria principal de este sistema.
- 2) (1.5 pto.) Esquema de correspondencia entre  $M_p$  y  $M_c$ .
- 3) (1.75 pto.) Si en un determinado instante el conjunto 0 contiene las etiquetas (10, 8, 9, 11) y el conjunto 1 las etiquetas (8, 9, 10, 11) ¿Qué bloques de  $M_p$  están cargados en  $M_c$ ?

---

## Solución al problema

---

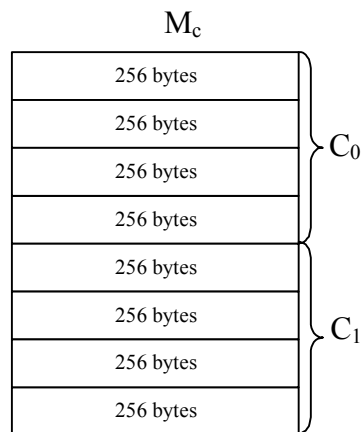
[Ver el apartado 2.4.3 del texto de teoría]

### Solución apartado 1)

La memoria principal tiene un tamaño de 64Kbytes por lo que para direccionarla hacen falta un total de 16 bits ( $2^{16} = 2^6 \times 2^{10} = 64\text{Kbytes}$ ).

La memoria caché está dividida en 2 conjuntos, cada uno de ellos con 4 bloques, lo que hace un total de 8 bloques. Como la memoria caché tiene una capacidad total de

2Kbytes, cada uno de los bloques tiene un tamaño de  $2\text{Kbytes} / 8 \text{ bloque} = 256$  bytes/bloque.



A partir de aquí se puede determinar el tamaño de cada uno de los campos en los que se descompone una dirección de memoria principal, teniendo en cuenta que la correspondencia que utiliza la caché es asociativa por conjuntos y que por lo tanto el formato de la dirección consta de un campo etiqueta, un campo conjunto y un campo palabra:

- Campo *palabra*: 8 bits. Para direccionar los 256 ( $= 2^8$ ) bytes de cada bloque.
- Campo *conjunto*: 1 bit. Para seleccionar uno de los 2 ( $= 2^1$ ) conjuntos posibles.
- Campo *etiqueta*: 7 bits. Los restantes 7 ( $= 16 - 8 - 1$ ) bits de la dirección forman parte del campo etiqueta.

**Solución apartado 2)**

El número de bloques que hay en  $M_p$  es igual a  $64\text{Kbytes}/256 \text{ bytes/bloque} = 2^{16}/2^8 = 2^8 = 256$  bloques. El número conjuntos de la caché es 2 y en cada uno se almacenan hasta 4 bloques de la memoria principal. De esta forma si una dirección  $D$  de memoria principal se expresa como  $(D_{15}, D_{14}, \dots, D_0)$ , los bits de  $D_0$  a  $D_7$  indicarán la palabra dentro del bloque y el bit  $D_8$  el conjunto, cuando esté a cero irán al conjunto cero, y cuando esté a 1 al conjunto uno. Por eso las primeras 256 palabras ( $B_0$ , bloque 0 de memoria principal irán al conjunto 0 de la caché. Este bloque tendrá el campo de etiqueta con todos los bits a 0). Las siguientes 256 palabras, el bloque  $B_1$  de memoria principal irá al conjunto 1 de la caché y también tendrá el campo de etiqueta con todos los bits a 0. El siguiente bloque  $B_2$  irá al conjunto cero y tendrá los bits del campo de etiqueta a 0000001, y así sucesivamente. Por tanto a los conjuntos  $C_0$  y  $C_1$  de la  $M_c$  se aplican los siguientes bloques de la  $M_p$ :

- Conjunto  $C_0 \leftarrow B_0, B_2, B_4, \dots, B_{254}$
- Conjunto  $C_1 \leftarrow B_1, B_3, B_5, \dots, B_{255}$

**Solución apartado 3)**

Lo primero es analizar a que bloque de memoria principal corresponde cada etiqueta dada. Supongamos la etiqueta 10 del conjunto cero, ese bloque tendrá los bits del campo de etiqueta a 0001010, el bit del campo conjunto a 0 y el resto irán desde el 00000000 al

11111111. Por tanto, como es la etiqueta 10 y en este conjunto sólo se quedan los bloques pares será el bloque 20 de la memoria principal. Por el mismo razonamiento, la etiqueta 8 de este mismo conjunto nos dará el bloque 16, la 9 el 18 y la 11 el 22.

En el caso del conjunto 1, el razonamiento es el mismo pero como los bloques que se quedan en él son los impares, será el número de la etiqueta por dos, mas uno. Así a la etiqueta 8 en el conjunto uno le corresponde el bloque 17 de memoria principal, a la 9 el 19, a la 10 el 21 y a la 11 el 23. Por tanto:

Conjunto  $C_0$

	Dirección de bloque		en decimal
	Etiqueta	Conjunto	
10	0001010	0	$20 \Rightarrow B_{20}$
8	0001000	0	$16 \Rightarrow B_{16}$
9	0001001	0	$18 \Rightarrow B_{18}$
11	0001011	0	$22 \Rightarrow B_{22}$

Conjunto  $C_1$

	Dirección de bloque		en decimal
	Etiqueta	Conjunto	
8	0001000	1	$17 \Rightarrow B_{17}$
9	0001001	1	$19 \Rightarrow B_{19}$
10	0001010	1	$21 \Rightarrow B_{21}$
11	0001011	1	$23 \Rightarrow B_{23}$

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

**Apellidos:** \_\_\_\_\_ **Nombre:** \_\_\_\_\_ **DNI:** \_\_\_\_\_

**INSTRUCCIONES:** Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test : Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.**

1.- Se tiene un microprocesador con 24 líneas en el bus de direcciones y una memoria caché que utiliza correspondencia directa y que dispone de 2048 bloques de 64 palabras. ¿Cuántos bloques de memoria principal compiten por el mismo bloque de la memoria caché?

- A) 64                      B) 32                      C) 256                      D) Ninguna de las anteriores.

2.- Se desea diseñar con una memoria ROM una unidad de control con 64 estados, que genere 26 señales de control totalmente independientes y que reciba 8 señales de condición pero en cada estado van a ser consultadas como máximo una de ellas. La memoria ROM usada tiene un coste de 0,20 euros/Kbit. Indicar cuál de las siguientes afirmaciones es cierta:

- A) Si se utiliza un diseño con selección por estado el coste de la ROM es de 1 euro.  
B) Si se utiliza un diseño con selección por campo el coste de la ROM es de 1,5 euros.  
C) Los diseños mencionados en las respuestas A y B tienen el mismo coste.  
D) Ninguna de las anteriores.

3.- Un computador utiliza microinstrucciones de formato vertical. Sabiendo que el número máximo de señales de control que puede tener este computador es de 67 y que el formato de microinstrucción tiene 4 subcampos codificados de 1 bit, 6 subcampos codificados de 2 bits y otros 3 subcampos codificados de n bits ¿cuál es este número n de bits?

- A) 2                      B) 3                      C) 4                      D) Ninguna de las anteriores.

4.- Un computador de von Neumann tiene una longitud de palabra de 16 bits. Sus instrucciones máquina ocupan una longitud de 16 o 32 bits (es decir 1 o 2 palabras). En ambos casos, el código de operación de las instrucciones máquina ocupa un campo de 7 bits. Indique si las siguientes afirmaciones son verdaderas:

- I. La memoria principal tendrá un único espacio de direcciones para datos y para instrucciones.  
II. El computador tendrá como máximo  $2^7-1$  señales de control distintas.

- A) I: sí, II: sí.            B) I: sí, II: no.            C) I: no, II: sí.            D) I: no, II: no.

5.- Una planta industrial utiliza 4 sensores para poder ser controlada. Cada uno de ellos puede estar apagado o encendido. Se desea conectar dichos sensores a un computador que dispone de una memoria de 4K palabras, cada una de las cuales consta de 8 bits. Un interfaz de comunicación apropiado entre la CPU y los sensores, para que el estado de dichos sensores pueda leerse desde la CPU como si se tratase del contenido de una celda de memoria y dicha celda estuviese comprendida entre la dirección 800 y la 9FF, ambas en hexadecimal, sería:

- A)  $A_{11} \bar{A}_{10} A_9$             B)  $A_{11} \bar{A}_{10} \bar{A}_9$             C)  $A_{11} \bar{A}_{10} \bar{A}_9 \bar{A}_8$             D)  $A_{11} \bar{A}_{10} \bar{A}_9 A_8$

6.- Sean dos números binarios de 16 bits representados en código BCD:

X = 0011 1001 0101 0100, Y = 0011 1001 0000 0110. El resultado de su suma, representado en código exceso a 3, es:

- A) 0111 0010 0101 1010            B) 1010 1011 1001 0011  
C) 0111 1000 0110 0000            D) Ninguna de las anteriores.

7.- ¿Cuántos módulos de memoria ROM de  $2^{n-1}$  palabras  $\times$   $2n$  bits/palabra serían necesarios para diseñar un circuito combinacional que multiplique dos números de  $2n$  bits?

- A)  $2^{n-1}$                       B)  $2^{2n+1}$                       C)  $2^{3n+2}$                       D) Ninguna de las anteriores.

8.- En una máquina con 16 registros y un registro de instrucción (RI) de 16 bits ¿cuál sería el número máximo de instrucciones que podríamos tener si todas las instrucciones tienen un tamaño de una sola palabra y un único formato “cod\_op r1, r2”, donde r1 y r2 son dos registros y cod\_op es el código de operación de la instrucción?

- A) 256                      B) 516                      C) 128                      D) Ninguna de las anteriores.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1 (0.5 puntos):** Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

Un computador dispone de un sistema de memoria central constituido por una memoria principal  $M_p$  y una cache  $M_c$ . La  $M_p$  tiene una capacidad de 128K palabras y está estructurada como un conjunto de módulos de 256 palabras. La  $M_c$  que utiliza una correspondencia directa tiene un tamaño de 2K palabras con bloques de 256 palabras. Se pide lo siguiente:

- A) (0.5 pto) Número de módulos de  $M_p$ .
- B) (1 pto) Interpretación de los bits de la dirección física del sistema de memoria para la  $M_p$ .
- C) (1 pto) Interpretación de los bits de la dirección física del sistema de memoria para la  $M_c$ .
- D) (1.5 pto) Correspondencia de los bloques de la  $M_p$  con los bloques de la  $M_c$ .

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: \_\_\_\_\_ Nombre: \_\_\_\_\_ DNI: \_\_\_\_\_

**INSTRUCCIONES:** Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test : Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es C.**

1.- Se considera un procesador que tiene 16 líneas de direcciones  $A_{15}-A_0$ . Para la construcción de su unidad de memoria se dispone de módulos de 8K palabras, utilizándose las líneas más significativas ( $A_{15}-A_{13}$ ) para la selección de cada módulo. En el mapa de memoria, la dirección base del módulo número 5 (primera dirección de ese módulo) en notación hexadecimal es:

- A) 8000                      B) A000                      C) 8FFF                      D) Ninguna de las anteriores.

Nota: Los sucesivos módulos de memoria se comienzan a numerar desde el módulo 0 que corresponde a las direcciones más bajas de memoria.

2.- El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados ( $S_0, S_1, S_2, S_3$ ) y dos señales de condición ( $I, s_0$ ). Para implementar esta unidad de control se han usado dos elementos de memoria de tipo D y se ha realizado la asignación de estados siguiente:  $S_0: \{Q_1=0, Q_0=0\}$ ,  $S_1: \{Q_1=0, Q_0=1\}$ ,  $S_2: \{Q_1=1, Q_0=0\}$  y  $S_3: \{Q_1=1, Q_0=1\}$ . Las funciones de entrada de los elementos de memoria son las siguientes:

$$D_0 = Q_0 \bar{s}_0 + \bar{Q}_0 Q_1 + \bar{Q}_0 I \qquad D_1 = \bar{Q}_1 Q_0 + s_0 Q_1$$

Indique si las siguientes afirmaciones son verdaderas:

- I. Cuando el estado presente es  $S_2$ , entonces el próximo estado es  $S_3$ .  
II. Cuando el estado presente es  $S_1$  y se verifica  $s_0=0$  entonces el estado siguiente es  $S_3$ .

- A) I: sí, II: sí.              B) I: sí, II: no.              C) I: no, II: sí.              D) I: no, II: no.

3.- Indique si las siguientes afirmaciones son verdaderas o falsas:

- I. En una unidad de control microprogramada, con un formato de microinstrucciones verticales con un subcampo de 5 bits, es posible especificar 16 señales de control.  
II. Una unidad de control microprogramada, con un formato de microinstrucciones horizontal con direccionamiento explícito, dispone de una memoria de control de 4096 palabras. Si las microinstrucciones deben gobernar 150 señales de control, el campo de dirección de cada microinstrucción debe tener como mínimo 10 bits.

- A) I: sí, II: sí.              B) I: sí, II: no.              C) I: no, II: sí.              D) I: no, II: no.

4.- En una arquitectura con bus, ¿cuál de las siguientes afirmaciones es cierta?:

- A) Uno de sus mayores inconvenientes es el impedimento para realizar transferencias directas a memoria desde un dispositivo de E/S.  
B) Permite que sus dispositivos puedan transmitir simultáneamente sus datos.  
C) Las transmisiones a través del bus siempre son síncronas.  
D) Tiene la ventaja de poder ampliar el sistema fácilmente.

5.- Un computador dispone de un canal selector que controla 2 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^7$  bytes/seg. y las de cinta de  $10^5$  bytes/seg. Si para la transferencia de un byte del canal selector a memoria principal se utiliza el bus del sistema durante 10 nseg. ¿qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos a través de este canal selector?.

- A) 0,1 %                      B) 1 %                      C) 10 %                      D) Ninguna de las anteriores.

6.- Se desea diseñar un sumador combinacional de 31 números de 1 bit utilizando únicamente módulos sumadores binarios completos, SBC. ¿Cuántos módulos de este tipo serían necesarios?

- A) 29                      B) 16                      C) 31                      D) 26

7.- Al finalizar la fase de búsqueda del ciclo de ejecución de una instrucción, el registro PC (Contador de Programa) contiene:

- A) La dirección de instrucción que se está ejecutando.



- B) El código máquina de la instrucción que se está ejecutando.
- C) El código máquina de la siguiente instrucción que se ejecutará.
- D) Ninguna de las anteriores.

8.- Cuando una instrucción contiene el dato que va a utilizar en su ejecución, emplea direccionamiento:

- A) Implícito
- B) Inmediato
- C) Directo
- D) Ninguna de las anteriores.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1 (0.5 puntos):** Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3 (0.75 puntos):** Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

Un procesador que opera a 500 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina (CPI = 4) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes. Se desea determinar lo siguiente:

- A) (1 pto) Número máximo de instrucciones que puede tener la rutina de servicio de interrupción si queremos que la capacidad de entrada de datos (ancho de banda) a través del sistema de interrupciones sea de 20 MBytes/segundo.
- B) (1 pto) Velocidad de rotación máxima a la que podrá operar el disco en rpm.
- C) (1 pto) Tiempo que el DMA roba a la CPU durante la lectura de un sector si el disco se conecta a través de DMA operando por robo de ciclo sabiendo que cada vez que se le concede el bus transmite 8 bytes.
- D) (1 pto) Número de instrucciones que ejecuta la CPU durante el intervalo de tiempo de transmisión de un sector.