

MATERIAL PERMITIDO: los libros “*Estructura y tecnología de computadores*” y “*Problemas de estructura y tecnología de computadores*”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: _____ Nombre: _____ DNI: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.

1.- Una CPU con bus de direcciones de 16 bits y un bus de datos de 8 bits tiene un registro de 8 bits conectado al bus de datos y a la unidad de control. Este registro puede ser uno de los siguientes:

- A) Contador de programa (PC). B) De instrucción (IR).
C) De direcciones de memoria (MAR). D) Ninguna de las anteriores.

2.- Una unidad de control microprogramada con direccionamiento implícito tiene una memoria de control con 24 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits para los campos de control y el tamaño máximo de la memoria de control de esta Unidad de Control microprogramada es de 2^{20} palabras, ¿cuántas condiciones como máximo se pueden evaluar en el caso de microinstrucciones de bifurcación?

- A) 3 B) 16 C) 4 D) Ninguna de las anteriores.

3.- Una memoria caché con correspondencia directa utiliza 2048 palabras/bloque y su capacidad total es de 64K palabras. La memoria principal tiene una capacidad de 4096M palabras. En un determinado instante, la dirección B3A972E0, expresada en hexadecimal, de la memoria principal se encuentra en la caché. Decir si las siguientes afirmaciones son ciertas:

I. Esta dirección se corresponde con el bloque 14, expresado en decimal, de la memoria caché.

II. Del enunciado puede deducirse que la dirección 629E72E9, expresada en hexadecimal, no está en la caché.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

4.- La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 nseg. Durante los 80 nseg siguientes, el módulo de memoria direccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. Indique si las siguientes afirmaciones son ciertas:

I. Si el número de módulos $N = 3$ la velocidad máxima de transferencia es de 0.03 palabras/nseg

II. Cuando el número de módulos $N > 4$, la velocidad máxima de transferencia es de 0.06 palabras/nseg

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

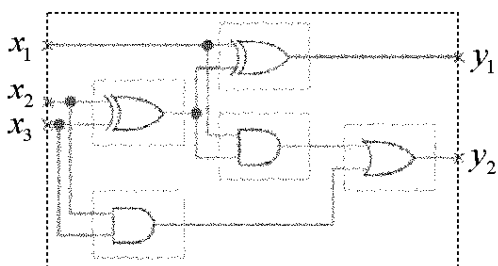
5.- Indique si las siguientes afirmaciones sobre *E/S localizada en memoria* son verdaderas:

I. Sería posible realizar operaciones directamente sobre los puertos de E/S de datos sin necesidad de moverlos explícitamente por programa a algún registro de la CPU.

II. Puede evitar gastar espacio de direcciones empleando una señal de control especial para indicar que está realizando una operación de E/S localizada en memoria.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

6.- En la figura se muestra un circuito lógico con tres entradas (x_1, x_2, x_3) y dos salidas (y_1, y_2). Indique cuál de las siguientes afirmaciones acerca de este circuito es correcta.

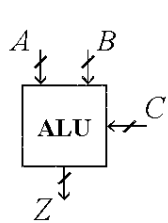


- A) Es un elemento de memoria D.
B) Es un sumador binario completo.
C) Las dos anteriores son correctas.
D) Ninguna de las anteriores es correcta.

7.- En un procesador con instrucciones de cero direcciones, indicar cuantos accesos a memoria se necesitan para completar la secuencia $Y = (X+Y)+Z$.

- A) 10. B) 6. C) 12. D) Ninguna de las anteriores.

8.- A continuación, se muestra el diagrama de bloques y la tabla de operaciones de una ALU lógica. Tiene dos entradas de cuatro bits ($A=a_3a_2a_1a_0$, $B=b_3b_2b_1b_0$), una entrada de control de dos bits ($C=c_1c_0$) y una salida de cuatro bits ($Z=z_3z_2z_1z_0$). Suponiendo que se dispone de conexiones a "0" lógico y a "1" lógico, indique cuál de las siguientes afirmaciones acerca de esta ALU es correcta.



$c_1 c_0$	Operación
0 0	$Z = A \oplus B$
0 1	$Z = \overline{A \oplus B}$
1 0	$Z = A \wedge B$
1 1	$Z = A \vee B$

- A) Esta ALU puede sintetizarse empleando únicamente cuatro MUX(4), ocho puertas XOR de dos entradas, cuatro puertas AND de dos entradas y cuatro puertas OR de dos entradas.
- B) Esta ALU puede sintetizarse empleando una ROM de 2^{10} palabras, 4 bits/palabra.
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores.

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Se está diseñando un computador, y se quiere estudiar la posibilidad de dotarle de una unidad de control microprogramada con un formato de microinstrucción horizontal, o bien con un formato de microinstrucción vertical. El secuenciador de microprograma que se va a utilizar, proporciona una dirección de 12 bits.

Los respectivos formatos de microinstrucción son los que se muestran en las figuras 1 y 2. En el formato horizontal, A_i ($i=1,2,3$), B_j ($j=1,2,3$), C_k ($k=1,\dots,4$), D_m ($m=1,2,3$) y E_n ($n=1,\dots,8$) son señales de control. En el formato vertical campo 4 se decodifica como sel-B o sel-D a partir del campo 2, que es un campo de selección.

A1	A2	A3	B1	B2	B3	C1	C2	C3	C4	D1	D2	D3	E1	E8
----	----	----	----	----	----	----	----	----	----	----	----	----	----	-------	----

Figura 1: Formato de microinstrucción horizontal.

sel-A	x	Sel-C	sel-B o sel D	sel-E
campo 1	campo 2	campo 3	campo 4	campo 5

Figura 2: Formato de microinstrucción vertical.

- A) (1.5 pts) Comparar el tamaño de la memoria de control para ambas alternativas.
- B) (1.5 pts) Comparar el tiempo de activación de las señales de control para los dos tipos de memoria de control.
- C) (1 pts) Comentar y razonar los resultados obtenidos en los apartados anteriores.



2007

PRIMERA SEMANA

Test

1.- Una CPU con bus de direcciones de 16 bits y un bus de datos de 8 bits tiene un registro de 8 bits conectado al bus de datos y a la unidad de control. Este registro puede ser uno de los siguientes:

- A) Contador de programa (PC). B) De instrucción (IR).
C) De direcciones de memoria (MAR). D) Ninguna de las anteriores.

2.- Una unidad de control microprogramada con direccionamiento implícito tiene una memoria de control con 24 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits para los campos de control y el tamaño máximo de la memoria de control de esta Unidad de Control microprogramada es de 2^{20} palabras, ¿cuántas condiciones como máximo se pueden evaluar en el caso de microinstrucciones de bifurcación?

- A) 3 B) 16 C) 4 D) Ninguna de las anteriores.

3.- Una memoria caché con correspondencia directa utiliza 2048 palabras/bloque y su capacidad total es de 64K palabras. La memoria principal tiene una capacidad de 4096M palabras. En un determinado instante, la dirección B3A972E0, expresada en hexadecimal, de la memoria principal se encuentra en la caché. Decir si las siguientes afirmaciones son ciertas:

- I. Esta dirección se corresponde con el bloque 14, expresado en decimal, de la memoria caché.
II. Del enunciado puede deducirse que la dirección 629E72E9, expresada en hexadecimal, no está en la caché.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

4.- La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 nseg. Durante los 80 nseg siguientes, el módulo de memoria direccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. Indique si las siguientes afirmaciones son ciertas:

- I. Si el número de módulos $N = 3$ la velocidad máxima de transferencia es de 0.03 palabras/nseg
II. Cuando el número de módulos $N > 4$, la velocidad máxima de transferencia es de 0.06 palabras/nseg

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

5.- Indique si las siguientes afirmaciones sobre *E/S localizada en memoria* son verdaderas:

- I. Sería posible realizar operaciones directamente sobre los puertos de E/S de datos sin necesidad de moverlos explícitamente por programa a algún registro de la CPU.
II. Puede evitar gastar espacio de direcciones empleando una señal de control especial para indicar que está realizando una operación de E/S localizada en memoria.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

6.- En la figura se muestra un circuito lógico con tres entradas (x_1, x_2, x_3) y dos salidas (y_1, y_2). Indique cuál de las siguientes afirmaciones acerca de este circuito es correcta.

	<p>A) Es un elemento de memoria D. B) Es un sumador binario completo. C) Las dos anteriores son correctas. D) Ninguna de las anteriores es correcta.</p>
--	---

7.- En un procesador con instrucciones de cero direcciones, indicar cuantos accesos a memoria se necesitan para completar la secuencia $Y = (X+Y)+Z$.

- A) 10. B) 6. C) 12. D) Ninguna de las anteriores.

8.- A continuación, se muestra el diagrama de bloques y la tabla de operaciones de una ALU lógica. Tiene dos entradas de cuatro bits ($A=a_3a_2a_1a_0, B=b_3b_2b_1b_0$), una entrada de control de dos bits ($C=c_1c_0$) y una salida de cuatro bits ($Z=z_3z_2z_1z_0$). Suponiendo que se dispone de conexiones a "0" lógico y a "1" lógico, indique cuál de las siguientes afirmaciones acerca de esta ALU es correcta.

	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="padding: 5px;">$c_1 c_0$</th> <th style="padding: 5px;">Operación</th> </tr> </thead> <tbody> <tr> <td style="padding: 5px;">0 0</td> <td style="padding: 5px;">$Z = A \oplus B$</td> </tr> <tr> <td style="padding: 5px;">0 1</td> <td style="padding: 5px;">$Z = \overline{A \oplus B}$</td> </tr> <tr> <td style="padding: 5px;">1 0</td> <td style="padding: 5px;">$Z = A \wedge B$</td> </tr> <tr> <td style="padding: 5px;">1 1</td> <td style="padding: 5px;">$Z = A \vee B$</td> </tr> </tbody> </table>	$c_1 c_0$	Operación	0 0	$Z = A \oplus B$	0 1	$Z = \overline{A \oplus B}$	1 0	$Z = A \wedge B$	1 1	$Z = A \vee B$	<p>A) Esta ALU puede sintetizarse empleando únicamente cuatro MUX(4), ocho puertas XOR de dos entradas, cuatro puertas AND de dos entradas y cuatro puertas OR de dos entradas. B) Esta ALU puede sintetizarse empleando una ROM de 2^{10} palabras, 4 bits/palabra. C) Las dos anteriores son correctas. D) Ninguna de las anteriores.</p>
$c_1 c_0$	Operación											
0 0	$Z = A \oplus B$											
0 1	$Z = \overline{A \oplus B}$											
1 0	$Z = A \wedge B$											
1 1	$Z = A \vee B$											

Solución:

1.- Los diferentes registros que se mencionan en esta pregunta son los siguientes:

- El contador de programa (PC), que contiene la dirección de la instrucción a ejecutar.
- El registro de instrucción (IR), en el que se carga (se transfiere desde memoria) la instrucción a ejecutar, es decir, la instrucción señalada por el PC.
- El registro de direcciones de memoria (MAR) que contiene la dirección de memoria en la que se va a leer o a escribir.

Como el bus de direcciones tiene 16 bits, las respuestas A y C no pueden ser ya que el PC y el MAR deberían tener necesariamente una longitud de 16 bits. El registro IR cumpliría las especificaciones de la pregunta al tener 8 bits y estar conectado al bus de datos y a la Unidad de Control

Respuesta: B

2.- [Ver sección 6-2 del libro de teoría.] En el caso de direccionamiento implícito, se definen dos formatos de instrucciones diferenciadas por el primer bit. En caso de ser 0 tienen formato de control y se usan 15 bits adicionales para el control, es decir, se usan 16 bits y quedan 8 libres sin usar. En el caso de formato de bifurcación (primer bit a 1) se debe evaluar la condición que sea necesaria. Como el número de palabras de 2^{20} , 20 es número de bits necesarios para el campo dirección. Por lo tanto, el número de bits utilizados para codificar el número máximo de condiciones de bifurcación será:

$24-20-1=3$ bits. Siendo por lo tanto 8 el número máximo de condiciones.

Respuesta: D

3.- [Ver las páginas 81 y siguientes del libro de teoría.] La memoria principal de 4096M palabras ($= 2^2 \times 2^{10} \times 2^{20}$ palabras) necesita 32 bits para su direccionamiento ($2^{32} = 4096M$). La memoria caché tiene 2^{16} (= 64K) palabras. Como la correspondencia directa utiliza 2048 (= 2^{11}) palabras/bloque, hay (2^{16} palabras) / (2^{11} palabras / bloque) = 2^5 bloques en la caché.

Al tratarse de correspondencia directa, una dirección de memoria principal se divide en tres campos: Etiqueta, Bloque y Palabra.

El campo Bloque tendrá una longitud de 5 bits y el de Palabra 11. Por tanto, el campo Etiqueta tendrá una longitud de $32 - (5 + 11) = 16$ bits.

La dirección hexadecimal B3A972E0 se expresa en binario como:

1011 0011 1010 1001 0111 0010 1110 0000

por lo que agrupando sus bits en los tres campos resulta:

Etiqueta = 1011001110101001

Bloque = 01110

Palabra = 01011100000

Por tanto:

I. Bloque = $01110_2 = 14_{10}$

II. La dirección 629E72E9 se puede expresar como 0110 0010 1001 1110 0111 0010 1110 1001. Obsérvese que el campo Bloque de ambas direcciones es igual, por lo que la correspondencia directa asigna a ambas direcciones el mismo bloque de caché. Ahora bien, dado que sus campos Etiqueta son diferentes, es imposible que ambas palabras se encuentren simultáneamente en la caché. Como el enunciado afirma que la palabra de dirección B3A972E0 se encuentra en la caché, es imposible que también se encuentre la de dirección 629E72E9.

Respuesta: A (I: sí, II: sí.)

4.- Esta pregunta está basada en el Problema 1-3. El ciclo de escritura en los módulos de memoria se muestra gráficamente en la Figura 1. El tiempo de ciclo de escritura es 100 nseg. El módulo de memoria usa el bus en exclusiva durante los primeros 20 nseg del ciclo, mientras que durante los restantes 80 nseg cualquier otro módulo puede hacer uso del bus.

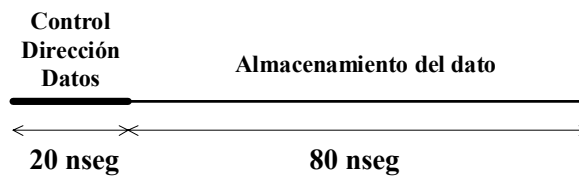


Figura 1: Ciclo de escritura de los módulos de memoria

Considerando que los ciclos de escritura se solapan al máximo, en la Figura 2 se muestra la velocidad máxima para el caso de $N=3$ y para $N>4$.

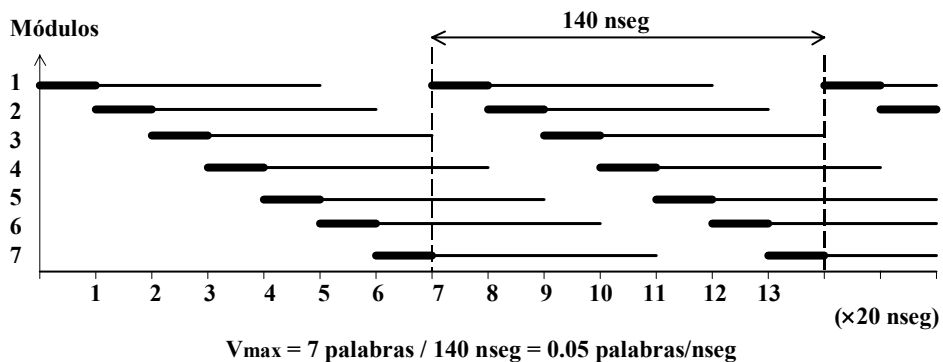
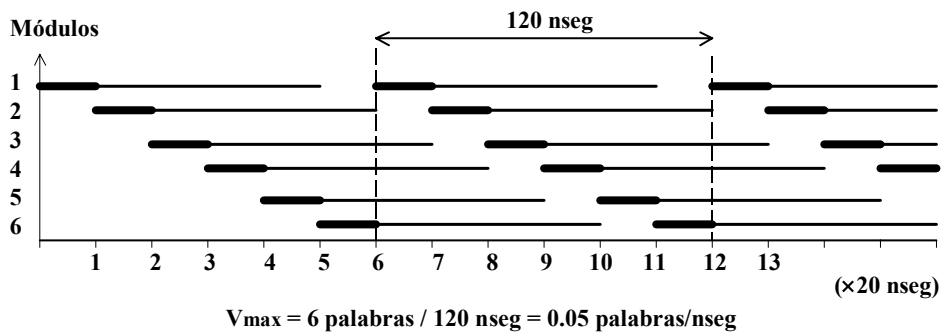
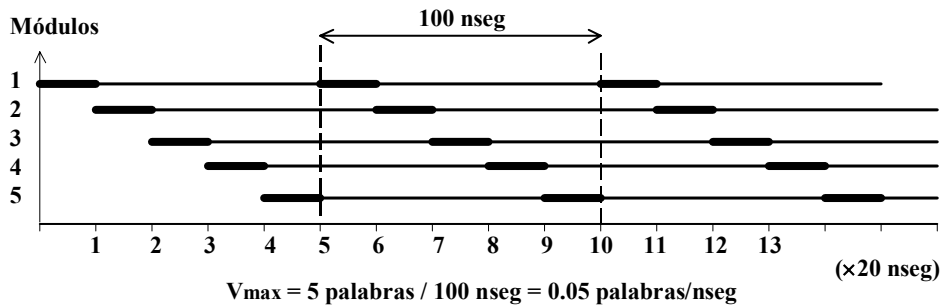
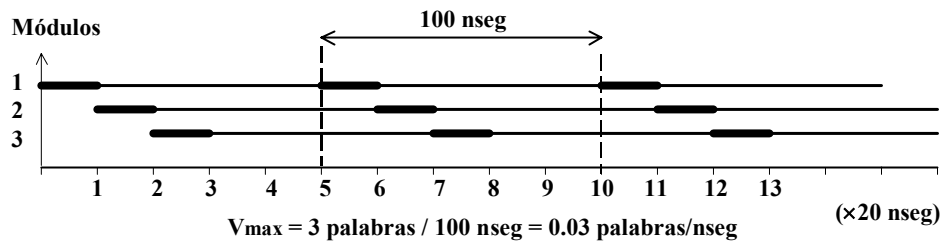


Figura 2: Operaciones de escritura en 3, 5, 6 y 7 módulos

Respuesta: B (I: sí, II: no.)

5.-

La afirmación I es verdadera. Ver ventaja b) de la página 59 del Problema 3-1.

La afirmación II es verdadera. Ver desventaja a) de la página 60 del Problema 3-1.

Respuesta: A (I: sí, II: sí)

6.- Este circuito realiza las ecuaciones. 4.1 y 4.2 del texto de teoría. Se trata de la Figura 4.8 del texto de teoría, pero sustituyendo cada SSB por su circuito.

Respuesta: B

7.- [Ver el problema 6-4 y el apartado 6.1.4 del texto de teoría.] En el caso de un procesador de cero direcciones el cálculo de la expresión dada se puede realizar mediante el conjunto de 6 instrucciones siguientes: Push[X]; Push[Y]; Add; Push[Z]; Add; Pop[Y]

Serán necesarios 6 accesos a memoria para leer el código de operación de cada instrucción; además en el caso de las instrucciones Push y Pop se necesita un acceso adicional a memoria para acceder a los operandos, ya que las operaciones aritméticas se realizan con operandos que se encuentran ya en la pila. En total son 6 instrucciones, tres de las cuales son Push y una Pop: $6+3+1 = 10$ accesos.

Respuesta: A

8.- [Ver el problema 4-31]

La estructura de la ALU según la opción A (ver la Figura 3) tiene dos entradas A (a_i : $i = 1..3$) y B (b_i : $i = 1..3$) que se conectan al conjunto de puertas lógicas que realizan las operaciones que se indican en la tabla del enunciado. Los cuatro multiplexores permiten elegir la operación deseada. La selección de las entradas de datos de los multiplexores se controla mediante c_0 y c_1 tal y como se muestra en la tabla del enunciado.

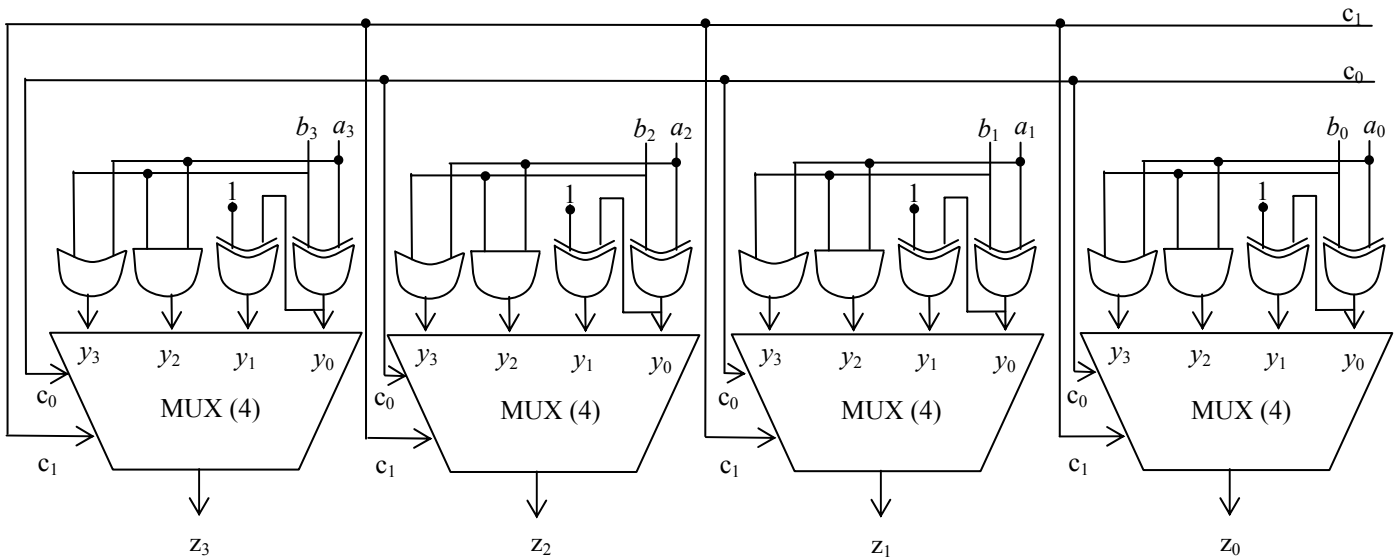


Figura 3: Estructura de la ALU lógica de 4 bits utilizando multiplexores y puertas

En este diseño se ha tenido en cuenta que



Por lo tanto la opción A es cierta.

En la Figura 4 se muestra el diseño según la opción B, que también es correcta:

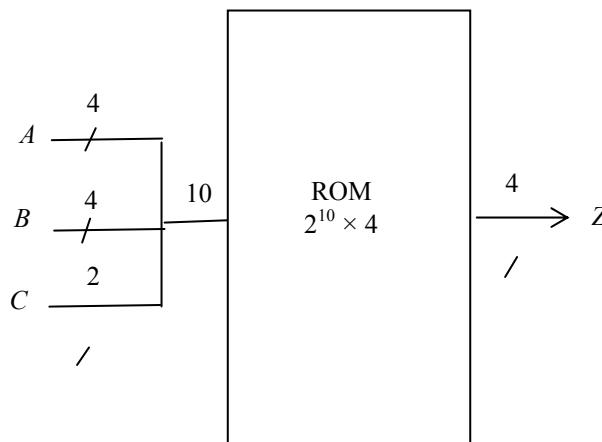


Figura 4: Estructura de la ALU lógica de 4 bits utilizando una ROM

Respuesta: C

Cuestiones teórico-prácticas

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 3 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Problema

Se está diseñando un computador, y se quiere estudiar la posibilidad de dotarle de una unidad de control microprogramada con un formato de microinstrucción horizontal, o bien con un formato de microinstrucción vertical. El secuenciador de microprograma que se va a utilizar, proporciona una dirección de 12 bits.

Los respectivos formatos de microinstrucción son los que se muestran en las figuras 1 y 2. En el formato horizontal, A_i ($i=1,2,3$), B_j ($j=1,2,3$), C_k ($k=1,\dots,4$), D_m ($m=1,2,3$) y E_n ($n=1,\dots,8$) son señales de control. En el formato vertical campo 4 se decodifica como sel-B o sel-D a partir del campo 2, que es un campo de selección.

A1	A2	A3	B1	B2	B3	C1	C2	C3	C4	D1	D2	D3	E1	E8
----	----	----	----	----	----	----	----	----	----	----	----	----	----	-------	----

Figura 1: Formato de microinstrucción horizontal.

sel-A	x	Sel-C	sel-B o sel D	sel-E
campo 1	campo 2	campo 3	campo 4	campo 5

Figura 2: Formato de microinstrucción vertical.

- A) (1.5 pts) Comparar el tamaño de la memoria de control para ambas alternativas.
- B) (1.5 pts) Comparar el tiempo de activación de las señales de control para los dos tipos de memoria de control.
- C) (1 pts) Comentar y razonar los resultados obtenidos en los apartados anteriores.

Solución

Para resolver este problema se puede consultar la sección 7.2.4 del libro de teoría.

A)

- Cálculo del tamaño de la memoria de control con formato de microinstrucción horizontal:

El campo de control se muestra en la siguiente figura:

A1	A2	A3	B1	B2	B3	C1	C2	C3	C4	D1	D2	D3	E1	E8	
3 bits			3 bits			4 bits				3 bits			8 bits			

De donde es fácil comprobar que el tamaño del campo de control con el formato horizontal es de 21 bits. Como el campo de dirección de la microinstrucción, según el enunciado, tiene 12 bits, el número de microinstrucciones es de 2^{12} . Por lo tanto, el tamaño de la memoria de control utilizando formato horizontal es de $2^{12} \times 21$ bits.

- Cálculo del tamaño de la memoria de control con formato de microinstrucción vertical:

Teniendo en cuenta que en este caso con un subcampo de j bits se pueden especificar $2^j - 1$ señales de control (una de las codificaciones hay que reservarla para el caso de que ninguna señal de control esté activa), el formato de los subcampos de control de la microinstrucción con formato vertical es el que se muestra en la

siguiente figura:

sel-A	x	sel-C	sel-B o sel D	sel-E
2	1	3	2	4

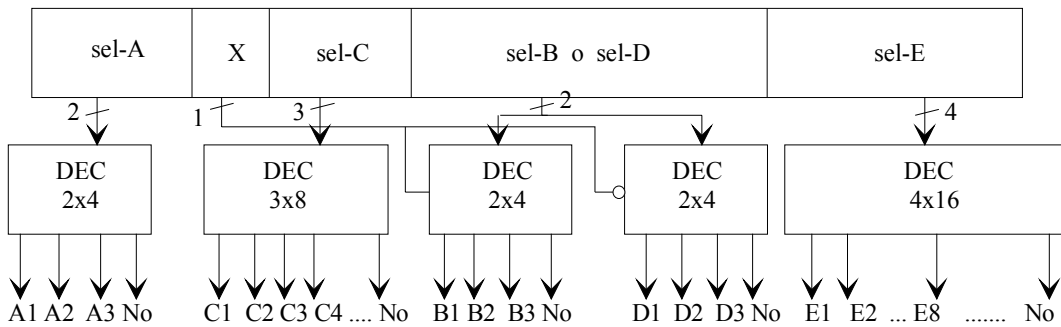
Luego en este caso el número de bits utilizados en los subcampos de control de la microinstrucción vertical es de 12 bits

Como el número de microinstrucciones es de 2^{12} , el tamaño de la memoria de control utilizando formato vertical es de $2^{12} \times 12$ bits

Ambas memorias tienen el mismo número de palabras, pero la horizontal necesita un ancho de palabra casi el doble que la vertical, luego su tamaño será prácticamente el doble que la vertical.

B)

En el diseño vertical las señales de control se activan un cierto tiempo después respecto al diseño horizontal, igual al tiempo de decodificación. Según se puede apreciar en la figura siguiente, la decodificación impone un retardo igual al decodificador más lento, es decir, al decodificador 4×16 .



C)

El ahorro de memoria del diseño vertical es lógico, puesto que las señales de control están codificadas, mientras que en el caso de la horizontal tenemos un bit para activar directamente cada señal.

Por la misma razón, esta ventaja del caso vertical produce el inconveniente de introducir un retraso en la activación de las señales, puesto que se ha de realizar la decodificación.

En el diseño habría que estudiar si lo que se prima más es un diseño rápido (en cuyo caso nos inclinaríamos por la memoria horizontal), o bien se valora más la optimización del tamaño de la memoria de control y la posibilidad de reducir errores de microcodificación (es este caso sería mejor el diseño vertical).

MATERIAL PERMITIDO: los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: _____ Nombre: _____ DNI: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es C.

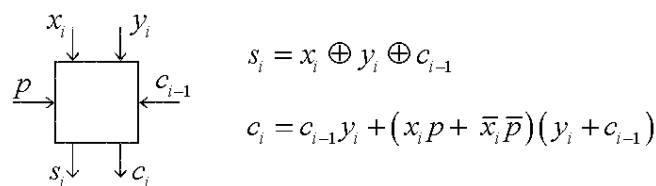
1.- Un sistema jerárquico de memoria tiene una memoria caché de 4K palabras, dividida en bloques de 128 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 128K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?

- A) 315 nseg. B) 165 nseg. C) 975 nseg. D) Ninguna de las anteriores.

2.- Un disco formateado con entrelazado cuádruple, tiene 8 sectores por pista y una velocidad de rotación de 6000 rpm. ¿Cuánto tardará en leer, en su orden, todos los sectores de una pista suponiendo que la cabeza de lectura se encuentra en la pista correcta y sobre el punto de comienzo del sector 4?

- A) 10 ms. B) 45 ms. C) 50 ms. D) Ninguna de las anteriores.

3.- En la figura se muestra el diagrama de bloques de un circuito y las expresiones lógicas que permiten calcular sus salidas a partir de sus entradas. Indique cuál de las afirmaciones siguientes acerca de este circuito es correcta:



- A) Cuando $p = 0$, es un restador binario completo.
 B) Cuando $p = 1$, es un sumador binario completo.
 C) Las dos afirmaciones anteriores son correctas.
 D) Ninguna de las anteriores es correcta.

4.- En un bus con arbitraje centralizado:

- A) Cualquier dispositivo puede decidir en qué momento toma el control del bus.
 B) La temporización debe ser asíncrona.
 C) Todos los dispositivos actúan de forma cooperativa para compartir el bus.
 D) Todas las afirmaciones anteriores son falsas.

5.- Considere una memoria asociativa de n palabras y 8 bits/palabra. Indique cuál de los siguientes valores de los registros de argumento (A) y máscara (K) proporcionan un 1 en todos aquellos bits del registro de marca (M) cuya celda de memoria contenga un número impar, y un 0 en caso contrario. (Se considera que el cero es un número par).

- A) A=10000010, K=00000001 B) A=10000011, K=00000001
 C) A=00000001, K=10000000 D) Ninguna de las anteriores

6.- Se dispone de un computador que funciona a una velocidad de 10^8 ciclos por segundo y en el que, en promedio, una instrucción emplea 10 ciclos máquina y cada operación de lectura o escritura de una palabra de memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia de datos si en este sistema se emplea DMA con estrategia de transferencia *por ráfagas*.

- A) 10^7 palabras/seg. B) 2×10^7 palabras/seg. C) 6.66×10^6 palabras/seg. D) Ninguna de las anteriores.

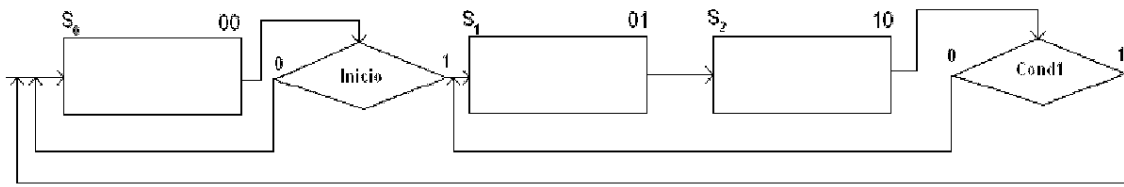
7.- El contenido inicial de un registro de desplazamiento de 4 bits es 0111. Entonces, se realiza una operación de desplazamiento, tras lo cual el contenido del registro pasa a ser 0110. Señale cuál de las afirmaciones siguientes es correcta.

- A) La operación de desplazamiento podría ser AIAS. B) La operación de desplazamiento podría ser AICS.
 C) Las dos anteriores son correctas. D) Ninguna de las anteriores.

8.- Dado el diagrama ASM de la figura, y suponiendo que para cada estado se debe generar una sola señal de control (c_0 en S_0 , c_1 en S_1 y c_2 en S_2). Indique cuál de las siguientes afirmaciones es verdadera.

- I. Para implementarlo se puede usar un registro de 2 bits y una ROM de 8 de palabras de 8 bits.
 II. Para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 8 bits.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.



Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

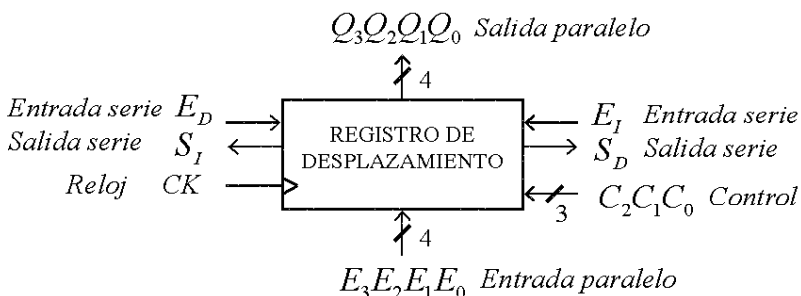
Cuestión 2 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

A) (2 puntos) Diseñe un registro de desplazamiento de 4 bits como el mostrado en la Figura 1. En la columna “Operación R-4” de la Tabla 1 se muestran las operaciones que debe realizar el registro y qué codificación de las entradas de control ($C_2C_1C_0$) corresponde a cada una de estas operaciones. En el diseño deben emplearse multiplexores y elementos de memoria D.

B) (2 puntos) Diseñe un registro de desplazamiento de 8 bits empleando dos registros de 4 bits como el diseñado en el apartado anterior y las puertas lógicas necesarias. En la columna “Operación R-8” de la Tabla 1 se indica la operación que debe realizar el registro de 8 bits para cada valor de las entradas de control.



$C_2C_1C_0$	Operación R-4	Operación R-8
0 0 0	NOP	NOP
0 0 1	LDAS	LDAD
0 1 0	LIAS	LIAD
0 1 1	LDCS	LDCD
1 0 0	LICS	LICD
1 0 1	Carga paralelo	Carga paralelo
1 1 0	NOP	NOP
1 1 1	NOP	NOP

Figura 1: Diagrama de un registro de desplazamiento.

Tabla 1: Codificación de las entradas de control

2007

SEGUNDA SEMANA

Test

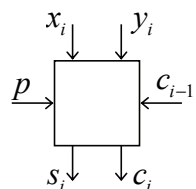
1.- Un sistema jerárquico de memoria tiene una memoria caché de 4K palabras, dividida en bloques de 128 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 128K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?

- A) 315 nseg. B) 165 nseg.
C) 975 nseg. D) Ninguna de las anteriores.

2.- Un disco formateado con entrelazado cuádruple, tiene 8 sectores por pista y una velocidad de rotación de 6000 rpm. ¿Cuánto tardará en leer, en su orden, todos los sectores de una pista suponiendo que la cabeza de lectura se encuentra en la pista correcta y sobre el punto de comienzo del sector 4?

- A) 10 ms. B) 45 ms. C) 50 ms. D) Ninguna de las anteriores.

3.- En la figura se muestra el diagrama de bloques de un circuito y las expresiones lógicas que permiten calcular sus salidas a partir de sus entradas. Indique cuál de las afirmaciones siguientes acerca de este circuito es correcta:



$$s_i = x_i \oplus y_i \oplus c_{i-1}$$

$$c_i = c_{i-1}y_i + (x_i p + \bar{x}_i \bar{p})(y_i + c_{i-1})$$

- A) Cuando $p = 0$, es un restador binario completo.
B) Cuando $p = 1$, es un sumador binario completo.
C) Las dos afirmaciones anteriores son correctas.
D) Ninguna de las anteriores es correcta.
- 4.- En un bus con arbitraje centralizado:
- A) Cualquier dispositivo puede decidir en qué momento toma el control del bus.
B) La temporización debe ser asíncrona.
C) Todos los dispositivos actúan de forma cooperativa para compartir el bus.
D) Todas las afirmaciones anteriores son falsas.

5.- Considere una memoria asociativa de n palabras y 8 bits/palabra. Indique cuál de los siguientes valores de los registros de argumento (A) y máscara (K) proporcionan un 1 en todos aquellos bits del registro de marca (M) cuya celda de memoria contenga un número impar, y un 0 en caso contrario. (Se considera que el cero es un número par).

- A) A=10000010, K=00000001 B) A=10000011, K=00000001
 C) A=00000001, K=10000000 D) Ninguna de las anteriores

6.- Se dispone de un computador que funciona a una velocidad de 10^8 ciclos por segundo y en el que, en promedio, una instrucción emplea 10 ciclos máquina y cada operación de lectura o escritura de una palabra de memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia de datos si en este sistema se emplea DMA con estrategia de transferencia *por ráfagas*.

- A) 10^7 palabras/seg. B) 2×10^7 palabras/seg.
 C) 6.66×10^6 palabras/seg. D) Ninguna de las anteriores.

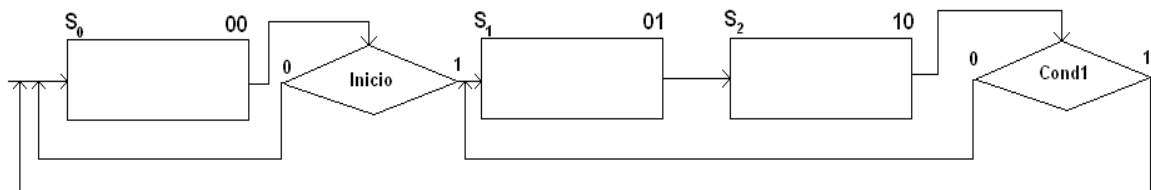
7.- El contenido inicial de un registro de desplazamiento de 4 bits es 0111. Entonces, se realiza una operación de desplazamiento, tras lo cual el contenido del registro pasa a ser 0110. Señale cuál de las afirmaciones siguientes es correcta.

- A) La operación de desplazamiento podría ser AIAS.
 B) La operación de desplazamiento podría ser AICS.
 C) Las dos anteriores son correctas.
 D) Ninguna de las anteriores.

8.- Dado el diagrama ASM de la figura, y suponiendo que para cada estado se debe generar una sola señal de control (c_0 en S_0 , c_1 en S_1 y c_2 en S_2). Indique cuál de las siguientes afirmaciones es verdadera.

- I. Para implementarlo se puede usar un registro de 2 bits y una ROM de 8 de palabras de 8 bits.
 II. Para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 8 bits.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.



Solución al test

1. Véase el Apartado 2.4.1 del texto base de teoría. El tiempo medio de acceso al sistema de memoria viene dado por la expresión siguiente:

$$t_a = h \times t_{\text{acierto}} + (1 - h) \times t_{\text{fallo}}$$

donde

t_{acierto}	es el tiempo de acceso en caso de acierto
t_{fallo}	es el tiempo de acceso en caso de fallo
h	es la tasa de acierto

Es decir, el tiempo medio de acceso es la media ponderada del tiempo medio de acceso en caso de acierto y del tiempo medio de acceso en caso de fallo.

En caso de acierto, el tiempo medio de acceso es el tiempo de acceso a la memoria caché, 15 nseg. La probabilidad de acierto es del 95 % ($h = 0.95$).

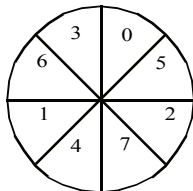
En caso de fallo, primero se mueve el bloque completo que ha producido el fallo desde la memoria principal a la memoria caché y luego, según el enunciado, se mueve la palabra que ha producido el fallo desde la caché a la CPU. Luego en caso de fallo hay que mover 128 palabras (un bloque) desde la memoria principal, lo que tarda un tiempo de $128 \times 150 \text{ nseg} = 19200 \text{ nseg}$; después se mueve una palabra desde la caché, lo que emplea otros 15 nseg. Luego en caso de fallo se tarda 19215 nseg. La probabilidad de un fallo de referencia es del $100\% - 95\% = 5\%$ ($h = 0.05$).

Por tanto, el tiempo medio de acceso de este sistema de memoria es:

$$0.95 \times 15 \text{ nseg} + 0.05 \times 19215 \text{ nseg} = 14.25 \text{ nseg} + 960.75 \text{ nseg} = 975 \text{ nseg}.$$

Respuesta: C (975 nseg)

2. Véase el problema 3.28. La numeración de los sectores es la mostrada en la figura. Como la cabeza de lectura ésta al comienzo del sector 4, en la primera vuelta lee el sector 0. En la segunda vuelta lee los sectores 1 y 2. En la tercera vuelta lee el sector 3. En la cuarta vuelta lee los sectores 4 y 5. Finalmente, en la quinta vuelta lee los sectores 6 y 7. Así pues, necesita dar 5 vueltas para leer los 8 sectores.



El tiempo empleado en dar una vuelta es:

$$60 / 6000 = 0.01 \text{ seg}$$

Con lo cual, el tiempo empleado en dar 5 vueltas es:

$$5 \times 0.01 \text{ seg} = 0.05 \text{ seg}$$

Respuesta: C (50 mseg)

3. Véase el problema 4.4. Cuando $p = 0$, las expresiones del enunciado corresponden con un restador binario completo:

$$s_i = x_i \oplus y_i \oplus c_{i-1}$$
$$c_i = c_{i-1}y_i + \bar{x}_i(y_i + c_{i-1})$$

Cuando $p = 1$, corresponden con un sumador binario completo:

$$s_i = x_i \oplus y_i \oplus c_{i-1}$$
$$c_i = c_{i-1}y_i + x_i(y_i + c_{i-1})$$

Respuesta: C (Las dos afirmaciones anteriores son correctas)

4. Véase el apartado 1.4.4 del texto base de teoría.

La primera afirmación, “*cualquier dispositivo puede decidir en qué momento toma el control del bus*”, es falsa, puesto que es el árbitro el responsable de asignar el tiempo de utilización.

La segunda afirmación, “*la temporización debe ser asíncrona*”, también es falsa, ya que el método de arbitraje no condiciona el tipo de temporización.

La tercera afirmación, “*todos los dispositivos actúan de forma cooperativa para compartir el bus*”, es cierta para buses con arbitraje distribuido, no centralizado, con lo cual también es falsa.

Respuesta: D (Todas las afirmaciones anteriores son falsas)

5. Véase el apartado 2.5.2 del texto base de teoría. Un número binario es impar cuando su bit menos significativo es igual a 1. Es decir, en el caso de números de 8 bits, cuando es de la forma XXXX XXX1, donde X puede ser 0 ó 1.

Según se indica en el enunciado, cuando la celda de memoria contenga un número impar (es decir, un número con el bit menos significativo igual a 1) en el correspondiente bit del registro de marca debe obtenerse un 1. Por el contrario, cuando el número sea par (su bit menos significativo sea 0), el correspondiente bit del registro de marca debe ser 0. Para ello, los registros de argumento (A) y máscara (K) deben tomar los valores siguientes:

$$A = \text{XXXX XXX1} \quad (\text{donde X puede valer 0 ó 1})$$
$$K = 0000 0001$$

En particular, los valores dados en la respuesta B son válidos:

$$A = 1000 0011$$
$$K = 0000 0001$$

Respuesta: B (A = 1000 0011, K = 0000 0001)

6. Véase el apartado 3.5.2 del texto de teoría y el problema 3-16. El DMA por ráfagas no libera el bus hasta haber transmitido el bloque de datos. Así pues, la velocidad máxima es:

$$(10^8 \text{ ciclos/seg}) / (2 \text{ ciclos/palabra}) = 5 \times 10^7 \text{ palabras/seg.}$$

Respuesta: D (Ninguna de las anteriores)

7. Véase el apartado 4.9.1 del texto base de teoría. El contenido inicial del registro de desplazamiento es 0111. Tras la operación de desplazamiento pasa a ser 0110.

La respuesta A, “*la operación de desplazamiento podría ser AIAS*”, es correcta. El bit más significativo se mantiene, y se produce un desplazamiento hacia la izquierda de los tres bits menos significativos, introduciendo un 0 en el bit menos significativo.

La respuesta B, “*la operación de desplazamiento podría ser AICS*”, es falsa. En caso de haberse producido este desplazamiento, los tres bits menos significativos deberían seguir siendo 1, cosa que no sucede.

Por lo anterior, las respuestas C y D son falsas.

Respuesta: A (La operación de desplazamiento podría ser AIAS)

8. Véase el apartado 5.5.8 del texto base de teoría. El diagrama mostrado en el enunciado tiene 3 estados, 2 condiciones (que se consultan de manera excluyente) y 3 señales de control. Por tanto, es necesario usar 2 bits para la codificación del estado ($n=2$), dos señales de condición ($q=2$) y tres señales de control ($m=3$)

La afirmación I, “*para implementarlo se puede usar un registro de 2 bits y una ROM de 8 de palabras de 8 bits*”, es falsa. Para diseñar la unidad de control usando únicamente una memoria ROM y un registro sería necesario un registro de al menos 2 bits y una ROM de al menos 2^{n+q} palabras \times $(n+m)$ bits, es decir, de al menos 16 palabras con 5 bits/palabra. (Véase la Figura 5.31 del texto base de teoría)

La afirmación II, “*para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 8 bits*”, es cierta. Esto es debido a que en cada estado sólo se necesita una señal de condición, a que el multiplexor es MUX(2^n), y a que la ROM tiene al menos 8 palabras (2^{n+1}), con 5 bits/palabra ($n+m$).

Respuesta: C (I: no, II: sí)

Cuestiones teórico-prácticas

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Solución: Esta pregunta ya ha sido contestada al resolver el test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Solución: Esta pregunta ya ha sido contestada al resolver el test.

Cuestión 3 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Solución: Esta pregunta ya ha sido contestada al resolver el test.

Problema

- A) (2 puntos) Diseñe un registro de desplazamiento de 4 bits como el mostrado en la Figura 1. En la columna “Operación R-4” de la Tabla 1 se muestran las operaciones que debe realizar el registro y qué codificación de las entradas de control ($C_2C_1C_0$) corresponde a cada una de estas operaciones. En el diseño deben emplearse multiplexores y elementos de memoria D.
- B) (2 puntos) Diseñe un registro de desplazamiento de 8 bits empleando dos registros de 4 bits como el diseñado en el apartado anterior y las puertas lógicas necesarias. En la columna “Operación R-8” de la Tabla 1 se indica la operación que debe realizar el registro de 8 bits para cada valor de las entradas de control.

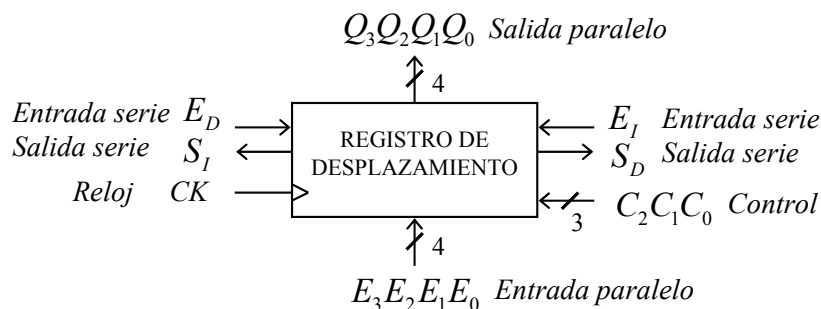


Figura 1: Diagrama de un registro de desplazamiento.

$C_2C_1C_0$	Operación R-4	Operación R-8
0 0 0	NOP	NOP
0 0 1	LDAS	LDAD
0 1 0	LIAS	LIAD
0 1 1	LDCS	LDCD
1 0 0	LICS	LICD
1 0 1	Carga paralelo	Carga paralelo
1 1 0	NOP	NOP
1 1 1	NOP	NOP

Tabla 1: Codificación de las entradas de control.

Solución al problema

A) El diseño puede realizarse de manera análoga al mostrado en el Apartado 4.9.2 del texto base de teoría.

En la Tabla 2 se indica cuál es la salida del circuito en el instante $t+1$, $Q(t+1)$, para cada uno de los valores de las entradas de control ($C_2C_1C_0$). La salida en $t+1$ está expresada en función del vector de salidas en el instante t , (Q_3, Q_2, Q_1, Q_0) , del vector de entradas paralelo, (E_3, E_2, E_1, E_0) , y de las entradas serie, E_D y E_I . El diseño del registro de desplazamiento se muestra en la Figura 2.

$C_2C_1C_0$	Operación R-4	$Q(t+1)$
0 0 0	NOP	(Q_3, Q_2, Q_1, Q_0)
0 0 1	LDAS	(E_D, Q_3, Q_2, Q_1)
0 1 0	LIAS	(Q_2, Q_1, Q_0, E_I)
0 1 1	LDCS	(Q_0, Q_3, Q_2, Q_1)
1 0 0	LICS	(Q_2, Q_1, Q_0, Q_3)
1 0 1	Carga paralelo	(E_3, E_2, E_1, E_0)
1 1 0	NOP	(Q_3, Q_2, Q_1, Q_0)
1 1 1	NOP	(Q_3, Q_2, Q_1, Q_0)

Tabla 2: Descripción de la salida del circuito.

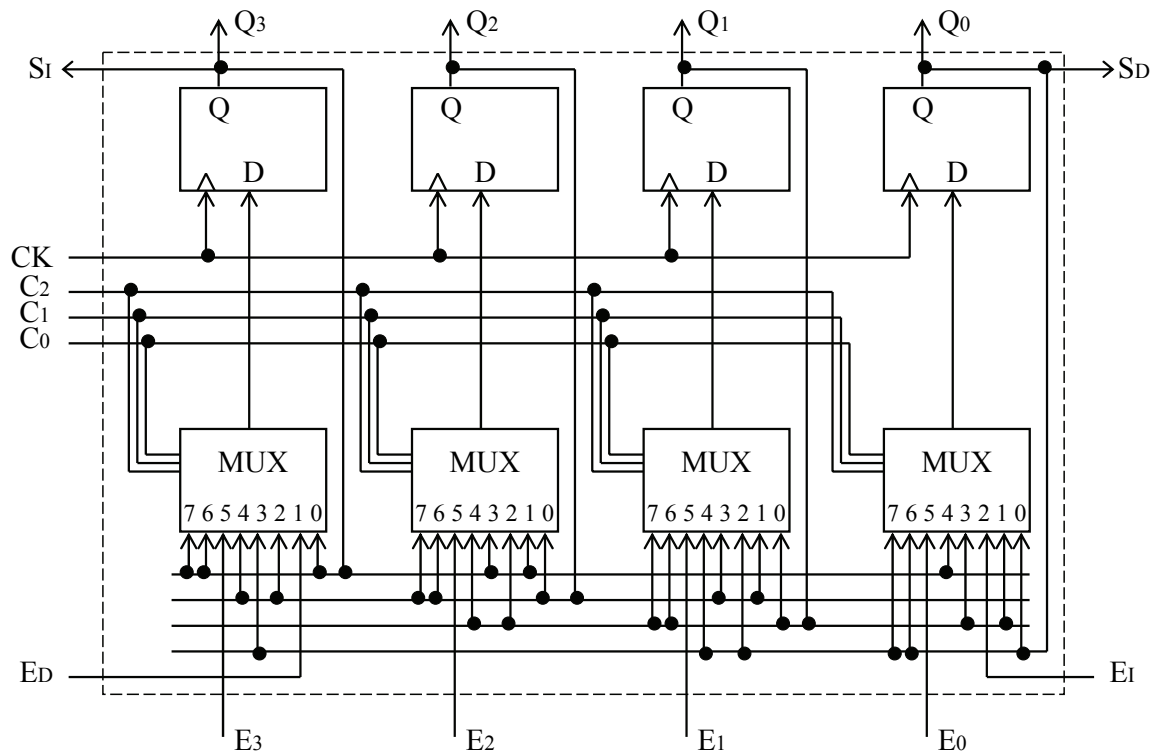


Figura 2: Diseño del registro de desplazamiento de 4 bits.

B) A partir de la tabla de operaciones mostrada en el enunciado, se obtiene el valor de la salida del registro de desplazamiento de 8 bits en el instante $t+1$. Se muestra en la Tabla 3.

$C_2C_1C_0$	Operación R-8	$Q(t+1)$
0 0 0	NOP	$(Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0)$
0 0 1	LDAD	$(E_D, Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1)$
0 1 0	LIAD	$(Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0, E_I)$
0 1 1	LDCD	$(Q_0, Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1)$
1 0 0	LICD	$(Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0, Q_7)$
1 0 1	Carga paralelo	$(E_7, E_6, E_5, E_4, E_3, E_2, E_1, E_0)$
1 1 0	NOP	$(Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0)$
1 1 1	NOP	$(Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0)$

Tabla 3: Descripción de la salida del registro de desplazamiento de 8 bits.

Para diseñar el registro de desplazamiento de 8 bits, se emplean 2 registros de desplazamiento de 4 bits, que llamaremos R1 y R0 (véase la Figura 3). El registro R1 proporcionará los 4 bits más significativos de la salida del registro de 8 bits. El registro R0 los 4 bits menos significativos. Llamamos:

$C_{12}C_{11}C_{10}$ entradas de control al registro de 4 bits R1.

$C_{02}C_{01}C_{00}$ entradas de control al registro de 4 bits R0.

$C_2C_1C_0$ entradas de control al registro de 8 bits.

A continuación, se explica paso a paso cómo realizar el diseño.

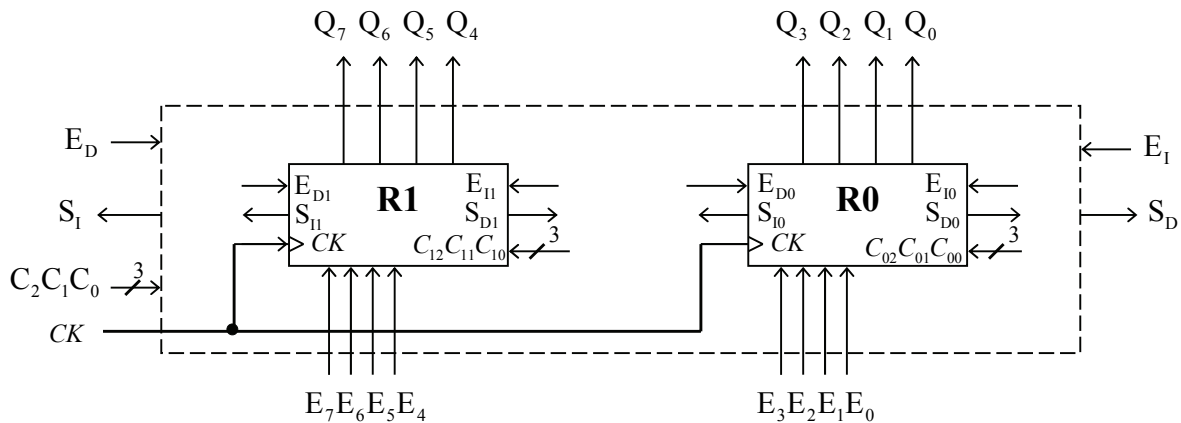


Figura 3: Entradas y salidas de los registros de 4 bits y del registro de 8 bits.

Operaciones NOP. Cuando las entradas de control al registro de 8 bits valen $C_2C_1C_0=000$, $C_2C_1C_0=110$ o $C_2C_1C_0=111$, no debe realizarse ninguna operación. Para esos mismos valores de sus entradas de control, los registros de 4 bits no realizan ninguna operación. Por tanto, los valores de las señales de control para cada uno de los registros de 4 bits serán las siguientes:

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
0 0 0	NOP	0 0 0	NOP	0 0 0	NOP
1 1 0	NOP	1 1 0	NOP	1 1 0	NOP
1 1 1	NOP	1 1 1	NOP	1 1 1	NOP

Operación “Carga paralelo”: Cuando la entrada de control al registro de 8 bits vale $C_2C_1C_0=101$, debe producirse la carga de los bits de entrada paralelo. Para ese mismo valor de sus entradas de control, los registros de 4 bits realizan la carga paralelo. Por ello:

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
1 0 1	Carga paral.	1 0 1	Carga paral.	1 0 1	Carga paral.

Operación LDAD: El desplazamiento LDAD del registro de 8 bits puede realizarse mediante un desplazamiento LDAS de los dos registros de 4 bits. Para ello, la salida S_{D1} debe estar conectada a la entrada E_{D0} (véase la Figura 3). Asimismo, la entrada E_D debe estar conectada a E_{D1} y la salida S_{D0} debe estar conectada a S_D .

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
0 0 1	LDAD	0 0 1	LDAS	0 0 1	LDAS

Operación LIAD: El desplazamiento LIAD del registro de 8 bits puede realizarse mediante un desplazamiento LIAS de los dos registros de 4 bits. Para ello, la salida S_{I0} debe estar conectada a la entrada E_{I1} (véase la Figura 3). Asimismo, la entrada E_I debe estar conectada a E_{I0} y la salida S_{I1} debe estar conectada a S_I .

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
0 1 0	LIAD	0 1 0	LIAS	0 1 0	LIAS

Operación LDCD: El desplazamiento LDCD del registro de 8 bits puede realizarse mediante un desplazamiento LDAS de los dos registros de 4 bits. Para ello, la salida S_{D1} debe estar conectada a la entrada E_{D0} (véase la Figura 3). Asimismo, la entrada E_{D1} debe estar conectada a Q_0 (o, equivalentemente, a S_{D0}).

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
0 1 1	LDCD	0 0 1	LDAS	0 0 1	LDAS

Operación LICD: El desplazamiento LICD del registro de 8 bits puede realizarse mediante un desplazamiento LIAS de los dos registros de 4 bits. Para ello, la salida S_{I0} debe estar conectada a la entrada E_{I1} (véase la Figura 3). Asimismo, la entrada E_{I0} debe estar conectada a Q_7 (o, equivalentemente, a S_{I1}).

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
1 0 0	LICD	0 1 0	LIAS	0 1 0	LIAS

De las explicaciones anteriores, se deduce que el registro de desplazamiento puede diseñarse de la forma mostrada en la Figura 4, donde los bloques C0, C1, C2 mostrados en la figura representan circuitos combinacionales.

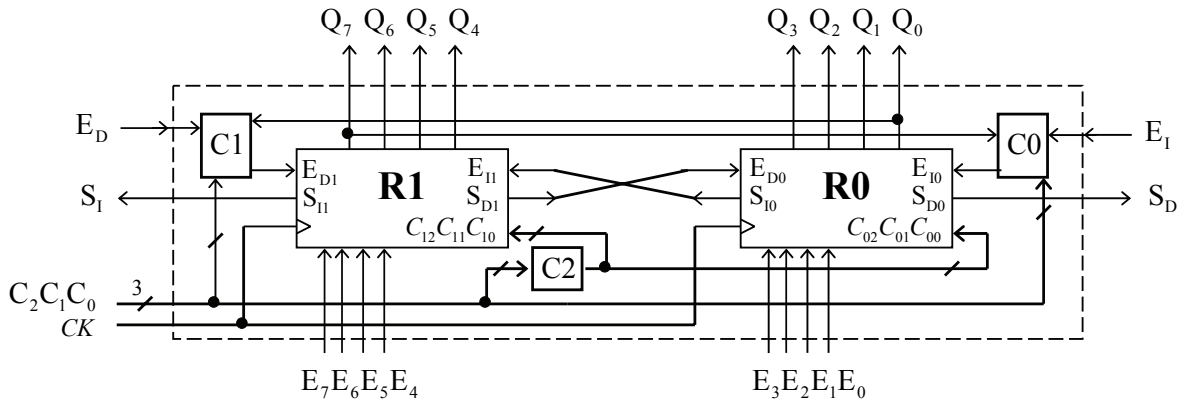


Figura 4: Diseño del registro de desplazamiento de 8 bits.

Para obtener los 2 puntos con que se califica el apartado B) del problema, es suficiente con haber llegado de manera razonada a obtener el diseño mostrado en la Figura 4. Por completitud, a continuación se explica cómo puede realizarse el diseño de los circuitos C0, C1 y C2.

Los bloques C1 y C0 de la Figura 4 representan los circuitos mostrados en las Figuras 5 y 6 respectivamente. El diseño de estos circuitos se ha realizado de la forma descrita a continuación.

Diseño de C1. Pueden darse dos posibles desplazamientos hacia la derecha:

1. LDAD ($C_2C_1C_0=001$), en cuyo caso $E_{D1} = E_D$
2. LDCD ($C_2C_1C_0=011$), en cuyo caso $E_{D1} = Q_0$

Por consiguiente, E_{D1} puede calcularse de la expresión siguiente:

$$E_{D1} = \overline{C_2} \overline{C_1} C_0 E_D + \overline{C_2} C_1 C_0 Q_0$$

Diseño de C0. Pueden darse dos posibles desplazamientos hacia la izquierda:

1. LIAD ($C_2C_1C_0=010$), en cuyo caso $E_{I0} = E_I$
2. LICD ($C_2C_1C_0=100$), en cuyo caso $E_{I0} = Q_7$

Por consiguiente, E_{I0} puede calcularse de la expresión siguiente:

$$E_{I0} = \overline{C_2} C_1 \overline{C_0} E_I + C_2 \overline{C_1} \overline{C_0} Q_7$$

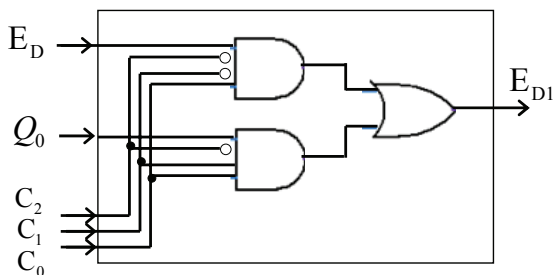


Figura 5: Circuito C1.

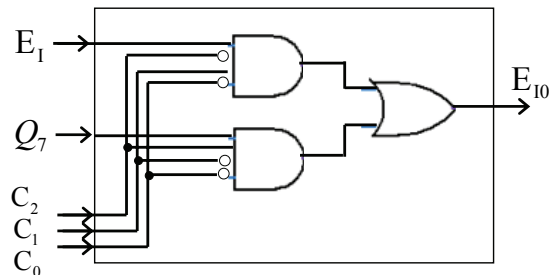


Figura 6: Circuito C0.

El circuito C2 convierte las señales de control del registro de 8 bits a las correspondientes señales de control de los registros de 4 bits. Las funciones lógicas de las tres salidas del circuito C2, y por tanto de las señales de control de los registros de 4 bits, pueden obtenerse de la Tabla 4.

$C_2C_1C_0$	Operación R-8	$C_{12}C_{11}C_{10}$	Operación R1	$C_{02}C_{01}C_{00}$	Operación R0
0 0 0	NOP	0 0 0	NOP	0 0 0	NOP
0 0 1	LDAD	0 0 1	LDAS	0 0 1	LDAS
0 1 0	LIAD	0 1 0	LIAS	0 1 0	LIAS
0 1 1	LDCD	0 0 1	LDAS	0 0 1	LDAS
1 0 0	LICD	0 1 0	LIAS	0 1 0	LIAS
1 0 1	Carga paral.	1 0 1	Carga paral.	1 0 1	Carga paral.
1 1 0	NOP	1 1 0	NOP	1 1 0	NOP
1 1 1	NOP	1 1 1	NOP	1 1 1	NOP

Tabla 4: Entradas de control de los registros de 4 bits y de 8 bits para cada operación.

Las funciones lógicas son las siguientes:

$$C_{12} = C_{02} = C_2 \bar{C}_1 C_0 + C_2 C_1 \bar{C}_0 + C_2 C_1 C_0$$

$$C_{11} = C_{01} = \bar{C}_2 C_1 \bar{C}_0 + C_2 \bar{C}_1 \bar{C}_0 + C_2 C_1 \bar{C}_0 + C_2 C_1 C_0$$

$$C_{10} = C_{00} = \bar{C}_2 \bar{C}_1 C_0 + \bar{C}_2 C_1 C_0 + C_2 \bar{C}_1 C_0 + C_2 C_1 C_0$$

Simplificándolas, empleando mapas de Karnaugh, se obtiene:

$$C_{12} = C_{02} = C_2 C_1 + C_2 C_0$$

$$C_{11} = C_{01} = C_1 \bar{C}_0 + C_2 \bar{C}_0 + C_2 C_1$$

$$C_{10} = C_{00} = C_0$$

El circuito C2, síntesis de estas funciones lógicas, es mostrado en la Figura 7.

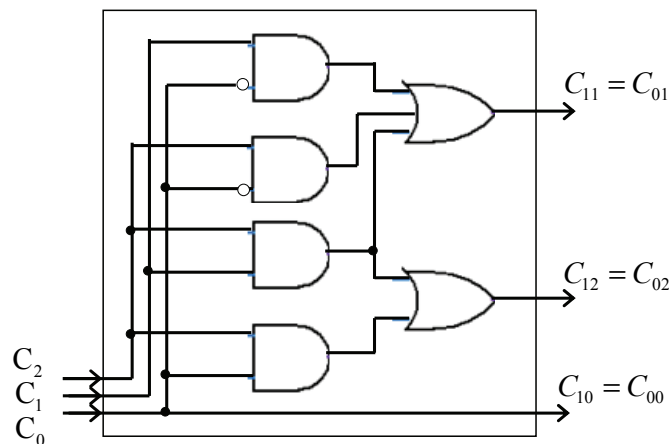


Figura 7: Circuito C2.

MATERIAL PERMITIDO: los libros “*Estructura y tecnología de computadores*” y “*Problemas de estructura y tecnología de computadores*”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: _____ Nombre: _____ DNI: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.

1.- ¿Cuál es la velocidad máxima de transferencia que se puede conseguir con un disco formateado con entrelazado doble y 8 sectores de 16 Kbytes por pista, y una velocidad de rotación de 4500 rpm.?

- A) 9600 Kbytes/seg. B) 4800 Kbytes/seg. C) 3490,91 Kbytes/seg. D) Ninguna de las anteriores

2.- Cuál es el tamaño en bytes de una memoria caché con correspondencia asociativa por conjuntos que tiene la siguiente longitud de sus tres campos: ETIQUETA 24 bits, CONJUNTO 8 bits y PALABRA 8 bits. La caché tiene 4 bloques por conjunto y su longitud de palabra es de 2 bytes.

- A) 256 Kbytes B) 512 Kbytes C) 1024 Kbytes D) Ninguna de las anteriores

3.- El formato de instrucción de un procesador hipotético es el siguiente: los 4 bits más significativos almacenan el código de operación y los restantes 12 bits contienen la dirección de memoria. El formato de almacenamiento de los números enteros es el siguiente: el bit más significativo contiene el signo (0: positivo; 1: negativo), y los 15 bits restantes la magnitud. La CPU contiene tres registros internos: el contador de programa (PC), el registro de instrucción (IR) y el acumulador (AC). La lista de los códigos de operación incluye los siguientes: 0001_2 (cargar AC desde memoria), 0010_2 (almacenar AC en memoria), 1000_2 (restar al AC de memoria), 1001_2 (sumar al AC de memoria). Si las posiciones de memoria $A0F_{16}$ y $3A0_{16}$ contienen respectivamente: X e Y, señale cuál es el contenido de la posición de memoria $3A0_{16}$ una vez ejecutadas las cuatro instrucciones siguientes: $13A0_{16}$, $9A0F_{16}$, $93A0_{16}$, $2A0F_{16}$.

- A) Y B) X+2Y C) 2X+Y D) X

4.- Empleando un procesador de una dirección (procesador con acumulador) con un banco de registro R_i , indicar qué operación calcula la secuencia de instrucciones: Load X; Add Y; Add Z; Mult X, Store R1, Mult R1, Div X, Store X.

- A) $X = ((X+Y+Z)^2)X^2$ B) $X = ((X+Y+Z)^2)X$
C) $X = (X+Y+Z)^2$ D) Ninguna de las anteriores

5.- ¿Cuál es la representación en complemento a 2, con una longitud de palabra de 8 bits, de $x = -56_{10}$?

- A) $x = 10111000_2$ B) $x = 11001000_2$ C) $x = 11000111_2$ D) Ninguna de los anteriores

6.- Empleando únicamente una ROM, se pretende diseñar un comparador de dos números de 4 bits que genere las funciones “mayor que”, “menor que” e “igual que”. Indique cuál de las siguientes ROM podría emplearse.

- A) 2^4 palabras, 4 bits/palabra B) 2^8 palabras, 4 bits/palabra
C) Las dos anteriores D) Ninguna de las anteriores

7.- Si TP, TI y TD denotan el tiempo de CPU que se necesita para realizar una transferencia de una sola palabra empleando E/S controlada por programa, con interrupciones y con DMA respectivamente, se verifica la relación:

- A) $TP < TI < TD$ B) $TP < TD < TI$ C) $TD < TI < TP$ D) Ninguna de las anteriores

8.- El tamaño máximo de la memoria de control de un computador es de 2^{20} palabras. La parte de control del formato de una microinstrucción (de la unidad de control microprogramada) de este computador emplea 8 bits para seleccionar independientemente las microoperaciones que se llevan a cabo. Esta unidad de control tiene un campo para indicar el tipo de bifurcación a realizar (condicional, incondicional o no bifurcar) y un campo para seleccionar una única señal de condición de las 32 señales disponibles. ¿Cuál es el tamaño de las microinstrucciones en bits?

- A) 20 B) 35 C) 52 D) Ninguna de las anteriores

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Se desea construir un sistema de memoria con las siguientes características:

- Palabra de memoria de 16 bits.
- 512K palabras de espacio direccionable.
- 64K palabras de sólo lectura en las direcciones más bajas; el resto del espacio direccionable será de lectura/escritura.

Para ello se dispone de los siguientes módulos en cantidad suficiente:

- RAM de 64K x 8 bits.
- RAM de 128K x 16 bits.
- ROM de 16K x 16 bits.
- Decodificadores varios.

Cada uno de los módulos de memoria y los decodificadores cuentan con una entrada de selección SC, activa en alta (SC = 1), que permite habilitar su funcionamiento.

Se pide lo siguiente:

- A) (2.5 pts) Diseñar el sistema de memoria requerido, indicando detalladamente la conexión de las líneas de datos, de dirección y de control. Justificar las decisiones de diseño adoptadas.
- B) (1.5 pts) Indicar en qué módulos de memoria se encuentra almacenada la palabra con la siguiente dirección en hexadecimal 186A0.



2007

Septiembre

Test:

1.- ¿Cuál es la velocidad máxima de transferencia que se puede conseguir con un disco formateado con entrelazado doble y 8 sectores de 16 Kbytes por pista, y una velocidad de rotación de 4500 rpm.?

- A) 9600 Kbytes/seg. B) 4800 Kbytes/seg.
C) 3490,91 Kbytes/seg. D) Ninguna de las anteriores

2.- Cuál es el tamaño en bytes de una memoria caché con correspondencia asociativa por conjuntos que tiene la siguiente longitud de sus tres campos: ETIQUETA 24 bits, CONJUNTO 8 bits y PALABRA 8 bits. La caché tiene 4 bloques por conjunto y su longitud de palabra es de 2 bytes.

- A) 256 Kbytes B) 512 Kbytes C) 1024 Kbytes D) Ninguna de las anteriores

3.- El formato de instrucción de un procesador hipotético es el siguiente: los 4 bits más significativos almacenan el código de operación y los restantes 12 bits contienen la dirección de memoria. El formato de almacenamiento de los números enteros es el siguiente: el bit más significativo contiene el signo (0: positivo; 1: negativo), y los 15 bits restantes la magnitud. La CPU contiene tres registros internos: el contador de programa (PC), el registro de instrucción (IR) y el acumulador (AC). La lista de los códigos de operación incluye los siguientes: 0001_2 (cargar AC desde memoria), 0010_2 (almacenar AC en memoria), 1000_2 (restar al AC de memoria), 1001_2 (sumar al AC de memoria). Si las posiciones de memoria $A0F_{16}$ y $3A0_{16}$ contienen respectivamente: X e Y, señale cuál es el contenido de la posición de memoria $3A0_{16}$ una vez ejecutadas las cuatro instrucciones siguientes: $13A0_{16}$, $9A0F_{16}$, $93A0_{16}$, $2A0F_{16}$.

- A) Y B) $X+2Y$ C) $2X+Y$ D) X

4.- Empleando un procesador de una dirección (procesador con acumulador) con un banco de registro R_i , indicar qué operación calcula la secuencia de instrucciones: Load X; Add Y; Add Z; Mult X, Store R_1 , Mult R_1 , Div X, Store X.

2 Estructura y Tecnología de Computadores II

- A) $X = ((X+Y+Z)^2)X^2$ B) $X = ((X+Y+Z)^2)X$
C) $X = (X+Y+Z)^2$ D) Ninguna de las anteriores
- 5.- ¿Cuál es la representación en complemento a 2, con una longitud de palabra de 8 bits, de $x = -56_{10}$?
- A) $x = 10111000_2$ B) $x = 11001000_2$
C) $x = 11000111_2$ D) Ninguna de los anteriores
- 6.- Empleando únicamente una ROM, se pretende diseñar un comparador de dos números de 4 bits que genere las funciones “mayor que”, “menor que” e “igual que”. Indique cuál de las siguientes ROM podría emplearse.
- A) 2^4 palabras, 4 bits/palabra B) 2^8 palabras, 4 bits/palabra
C) Las dos anteriores D) Ninguna de las anteriores
- 7.- Si TP, TI y TD denotan el tiempo de CPU que se necesita para realizar una transferencia de una sola palabra empleando E/S controlada por programa, con interrupciones y con DMA respectivamente, se verifica la relación:
- A) $TP < TI < TD$ B) $TP < TD < TI$ C) $TD < TI < TP$ D) Ninguna de las anteriores
- 8.- El tamaño máximo de la memoria de control de un computador es de 2^{20} palabras. La parte de control del formato de una microinstrucción (de la unidad de control microprogramada) de este computador emplea 8 bits para seleccionar independientemente las microoperaciones que se llevan a cabo. Esta unidad de control tiene un campo para indicar el tipo de bifurcación a realizar (condicional, incondicional o no bifurcar) y un campo para seleccionar una única señal de condición de las 32 señales disponibles. ¿Cuál es el tamaño de las microinstrucciones en bits?
- A) 20 B) 35 C) 52 D) Ninguna de las anteriores

Solución

- 1.- La velocidad máxima de lectura del disco se consigue cuando se lee un único sector del disco.
- Tamaño del sector: 16 Kbytes
Velocidad de giro: 4500/60 rev/seg
Tiempo necesario en dar un giro completo el disco: 60/4500 seg
Tiempo de lectura del sector: $(60/4500)/8$ seg. = 9,375 seg.
Velocidad máxima: 16 Kbytes / $((60/4500)/8)$ seg = 9600 Kbytes/seg
Respuesta: A (9600 Kbytes/seg)
- 2.- [Ver la sección 2.4.3 del libro base de teoría]. El enunciado indica que la memoria caché interpreta la dirección de la memoria principal de la forma siguiente:
- ETIQUETA 24 bits, CONJUNTO 8 bits, PALABRA 8 bits
- El tamaño de la memoria caché se calcula haciendo las siguientes consideraciones:
- Puesto que son necesarios 8 bits para especificar el conjunto, la caché dispone de 2^8 conjuntos.
 - Según se indica en el enunciado, tiene 4 bloques por conjunto.
 - Son necesarios 8 bits para direccionar una palabra dentro del bloque, con lo cual tiene 2^8 palabras en cada bloque.

- El enunciado indica que la longitud de cada palabra es de 2 bytes.

De todo lo anterior se sigue que el tamaño de la caché es el siguiente:

$$(2^8 \text{ conjuntos}) \times (4 \text{ bloques/conjunto}) \times (2^8 \text{ palabras/bloque}) \times (2 \text{ bytes/palabra}) = 2^{19} \text{ bytes} = 512 \text{K bytes}$$

Respuesta: B (512K bytes)

3.- Las instrucciones realizan las siguientes acciones:

- $13A0_{16}$: Carga el contenido de la posición de memoria $3A0_{16}$ en el AC ($AC=Y$)
- $9A0F_{16}$: Suma el contenido de la posición de memoria $A0F_{16}$ en el AC. Como resultado, en el AC se obtiene: $X+Y$.
- $93A0_{16}$: Suma el contenido de la posición de memoria $3A0_{16}$ en el AC. Como resultado, en el AC se obtiene: $X+2Y$.
- $2A0F_{16}$: Almacena el contenido de AC en la posición de memoria $A0F_{16}$.

Por tanto:

- Contenido de $A0F$: $X + 2Y$
- Contenido de $3A0$: Y

Respuesta: A(Y)

4.- El resultado de la ejecución de la secuencia de instrucciones propuesta es:

$$(((X + Y + Z) X)^2) / X = ((X + Y + Z)^2 X^2) / X = (X + Y + Z)^2 X$$

Respuesta: B($X = ((X + Y + Z)^2) X$)

5.- En el apartado 4.1.5 del libro de teoría se explica cómo calcular el complemento a 2. En el problema 4-46 se convierten varios números de representación decimal a complemento a 2.

$$56_{10} = 00111000_2$$

Para calcular el complemento a 2 de ese número, se complementan todos los bits del número y al resultado se le suma la unidad:

$$-56_{10} = 11001000 \text{ C2}$$

Respuesta: B($x = 11001000_2$)

6.- La pregunta está basada en el problema 4-44. En un caso general para se necesitará una memoria ROM de un tamaño mínimo:

$$(2 \text{ núm. entradas}) \text{ palabras} \times (\text{núm. salidas}) \text{ bits/palabra}$$

En el caso del comparador propuesto el número de entradas es $4 + 4 = 8$, y el número de salidas es 3, por lo que se necesitará una memoria ROM de un tamaño mínimo de 2^8 palabras \times 3 bits/palabra.

La respuesta A propone una capacidad con un número de palabras inferior al necesario y no vale. Sin embargo la respuesta B tiene capacidad mayor que la necesaria por lo que se podría emplear para diseñar el comparador.

Respuesta: B(2^8 palabras \times 4 bits/palabra)

7.- El tiempo de CPU es mayor en la E/S controlada por programa, inferior en la E/S por interrupciones y la técnica que emplea menos tiempo de la CPU es la E/S por DMA.

Respuesta: C($TD < TI < TP$)

4 Estructura y Tecnología de Computadores II

8.- [Ver problema 7.2 del libro de problemas]. Como el tamaño máximo de la memoria de control es de 20^{20} palabras, se necesitan reservar 20 bits para la dirección. Si la microinstrucción tiene X bits de longitud, de los cuales 8 bits se emplean para seleccionar las microoperaciones, 2 bits para codificar el tipo de bifurcación y 5 ($2^5=32$) para seleccionar una única señal de condición, y por lo tanto, $X-8-2-5=20 \rightarrow X=20+8+2+5=35$

De esta forma, el tamaño de las microinstrucciones es de 35 bits.

Respuesta: B (35)

Cuestiones teórico-prácticas:

- 1.- Justificar el resultado de la pregunta 1 del test.
- 2.- Justificar el resultado de la pregunta 2 del test.
- 3.- Justificar el resultado de la pregunta 3 del test.

Solución

- 1.- Esta pregunta ya ha sido contestada a la hora de resolver el test.
- 2.- Esta pregunta ya ha sido contestada a la hora de resolver el test.
- 3.- Esta pregunta ya ha sido contestada a la hora de resolver el test.

Problema:

Se desea construir un sistema de memoria con las siguientes características:

- Palabra de memoria de 16 bits.
- 512K palabras de espacio direccionable.
- 64K palabras de sólo lectura en las direcciones más bajas; el resto del espacio direccionable será de lectura/escritura.

Para ello se dispone de los siguientes módulos en cantidad suficiente:

- RAM de 64K x 8 bits.
- RAM de 128K x 16 bits.
- ROM de 16K x 16 bits.
- Decodificadores varios.

Cada uno de los módulos de memoria y los decodificadores cuentan con una entrada de selección SC, activa en alta (SC = 1), que permite habilitar su funcionamiento.

Se pide lo siguiente:

- A) Diseñar el sistema de memoria requerido, indicando detalladamente la conexión de las líneas de datos, de dirección y de control. Justificar las decisiones de diseño adoptadas.
- B) Indicar en qué módulos de memoria se encuentra almacenada la palabra con la siguiente dirección en hexadecimal 186A0.

Solución

A) La Figura 1 muestra el número de líneas de datos y de dirección que pueden entrar a cada uno de los chips de memoria del problema. Dado que las primeras 64K palabras deberán ser de ROM, parece claro que ese espacio de memoria deberá construirse utilizando cuatro módulos de ROM de 16K x 16 bits. Las 448K palabras restantes deberán construirse utilizando módulos de RAM. Aunque existen diferentes posibilidades, la más razonable parece colocar dos módulos de RAM de 64K x 8 bits a continuación de los módulos de ROM. Entre ambos tipos de memoria se han completado 128K palabras de 16 bits. Una vez hecho esto, se colocan tres módulos de RAM de 128K palabras x 16 bits para completar el resto del espacio hasta las 512K palabras.

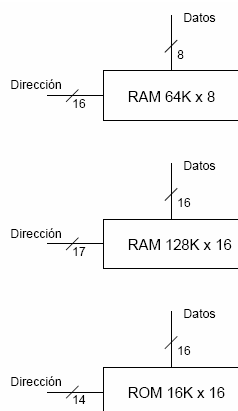


Figura 1: Módulos de memoria del problema

La Figura 2 muestra la distribución de los módulos de memoria, la conexión de las líneas del bus de datos y de direcciones, así como la lógica de selección de dichos módulos. Se utiliza un primer decodificador de 2 a 4 para seleccionar uno de entre cuatro módulos de 128K palabras, haciendo uso de las líneas A_{18} y A_{17} . Las tres salidas de más peso se conectan a las entradas de selección SC de los tres módulos de RAM de 128K palabras. La salida de menos peso se usa para habilitar un segundo decodificador, de 1 a 2 (también podrían usarse puertas lógicas), que permite seleccionar entre las 64K palabras superiores (las de RAM) o las inferiores (de ROM), haciendo uso de la línea A_{16} . Si se activa la salida de menos peso del decodificador, dicha salida habilita a su vez a un tercer decodificador, de 2 a 4, que permite seleccionar uno de los cuatro módulos ROM de 16K palabras haciendo uso de las señales de control A_{15} y A_{14} .

Las líneas de dirección de menos peso entran directamente a cada uno de los chips correspondientes. Puede observarse que todas las líneas de dirección intervienen de una u otra manera en la selección de datos dentro de cada chip.

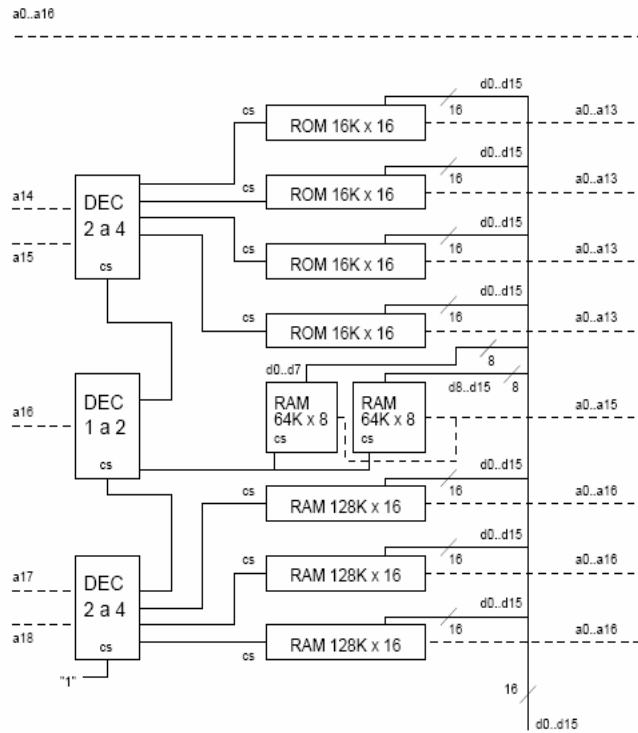


Figura 2: Esquema de la unidad de memoria y su lógica de selección

B) La palabra con dirección hexadecimal 186A0 es, en binario, la dirección siguiente (representándola en 19 bits, ya que hay 19 líneas de direcciones):

001 1000 0110 1010 0000

Puede verse que esta dirección habilita la salida 0 del decodificador inferior, con lo que se activa el decodificador intermedio. A su vez, la línea A₁₆ está a 1, por lo que se habilita la pareja de módulos RAM de 64K x 8. En consecuencia, el dato está en estos módulos. Puede verse también que la dirección hexadecimal 186A0 es en decimal la dirección 100000, lo que se corresponde con el rango de direcciones almacenado en dicha pareja de módulos, que va desde 64K palabras a (128K palabras-1).

MATERIAL PERMITIDO: los libros “*Estructura y tecnología de computadores*” y “*Problemas de estructura y tecnología de computadores*”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: _____ Nombre: _____ DNI: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es C.

1.- Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 8 bits. El formato de las instrucciones es el siguiente: los 2 bits más significativos de la instrucción representan el código de operación y los otros 6 bits representan la dirección de memoria. A continuación, se muestra una lista parcial de los códigos de operación:

11: Cargar el registro acumulador desde memoria.

01: Almacenar en memoria el contenido del registro acumulador.

10: Restar al acumulador el contenido de una dirección de memoria. El resultado se almacena en el acumulador.

Indique cuál de los siguientes fragmentos de programa resta al contenido de la dirección de memoria $3B_{16}$ el contenido de la dirección de memoria $3A_{16}$ y almacena el resultado en la dirección de memoria $3A_{16}$.

A) $33B_{16}, 23A_{16}, 13A_{16}$

B) $FB_{16}, BA_{16}, 7A_{16}$

C) Los anteriores son correctos

D) Ninguno de los anteriores

2.- Se considera un procesador que dispone de 16 líneas de direcciones $A_{15}-A_0$. Para la construcción de su unidad de memoria se dispone de módulos de 8K palabras, utilizándose las líneas más significativas ($A_{15}A_{14}A_{13}$) para la selección de cada módulo. Decir si las siguientes afirmaciones son ciertas:

I. Las direcciones hexadecimales E555 y E556 se encuentran almacenadas en el mismo módulo de memoria.

II. El módulo en que se encuentra almacenada una dirección de memoria queda determinado por el valor de $A_3A_1A_0$.

A) I: sí, II: sí.

B) I: sí, II: no.

C) I: no, II: sí.

D) I: no, II: no.

3.- Un computador dispone de un *canal selector* que controla 4 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 10^7 bytes/seg., y las de cinta de 10^5 bytes/seg. Si para la transferencia de un byte del canal selector a memoria principal se utiliza el bus del sistema durante 30 nseg., ¿qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos a través de este canal selector?.

A) 3 %

B) 30 %

C) 100 %

D) Ninguna de las anteriores

4.- Indique si las siguientes afirmaciones son verdaderas:

I. El controlador de DMA determina el sentido, lectura o escritura, de la operación de E/S.

II. Un procesador de E/S es capaz de interrumpir a la CPU.

A) I: sí, II: sí.

B) I: sí, II: no.

C) I: no, II: sí.

D) I: no, II: no.

5.- Se tiene una memoria caché con 512 bloques con capacidad para 1024 palabras cada uno. Si la función de correspondencia es totalmente asociativa y las direcciones de memoria principal tienen 32 bits, indique en qué bloque (expresado en decimal) se ubicará la palabra con dirección de memoria principal 321AFFF expresada en hexadecimal:

A) Podría utilizarse cualquier bloque

B) 213

C) 47

D) Ninguna de las anteriores

6.- El diagrama de Huffman-Mealy de una unidad de control tiene 6 estados, 5 señales de condición y 2 señales de control. Indique con cuáles de los componentes siguientes sería posible diseñarlo:

A) Dos elementos de memoria tipo D y el número necesario de puertas AND, OR e inversores.

B) Una ROM de 2^8 palabras con 5 bits/palabra y un registro de 4 bits.

C) Las dos respuestas anteriores son correctas.

D) Ninguna de las anteriores.

7.- Se desea diseñar un circuito combinacional que sea un sumador de 10 números de 1 bit utilizando únicamente módulos SBC (Sumador Binario Completo). Indique cuál es el número mínimo de módulos SBC necesarios para ello.

A) 5

B) 6

C) 7

D) Ninguna de las anteriores

8.- ¿Cuál de los siguientes métodos se puede utilizar para aumentar el ancho de banda de la memoria principal?

A) Utilizar líneas de dirección y de datos separadas en lugar de líneas de dirección y de datos multiplexadas.

B) Utilizar transferencias de palabras en lugar de transferencias de bloques.

- C) Disminuir el número de líneas del bus de datos
- D) Ninguna de las anteriores.

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Un disco que posee 512 pistas numeradas de 0 a 511 tiene la siguiente cola de peticiones de acceso: 345, 390, 230, 100, 23, 415, 233, 22, 50, 60. Inicialmente la cabeza se encuentra en la pista 300 y, en los algoritmos que sea necesario, recorriendo el disco en dirección a las pistas con numeración menor. Calcular la longitud media de búsqueda para satisfacer estas solicitudes con los siguientes algoritmos de planificación del disco.

(0,5 puntos) Planificación LOOK

(0,75 puntos) Planificación C-LOOK

(0,75 puntos) Planificación C-SCAN

(0,75 puntos) Planificación SCAN

(0,5 puntos) Planificación FCFS

(0,75 puntos) Planificación SSTF

En cada caso elaborar una tabla con la pista a la que accede el disco en cada momento y el número de pistas que se atraviesan.