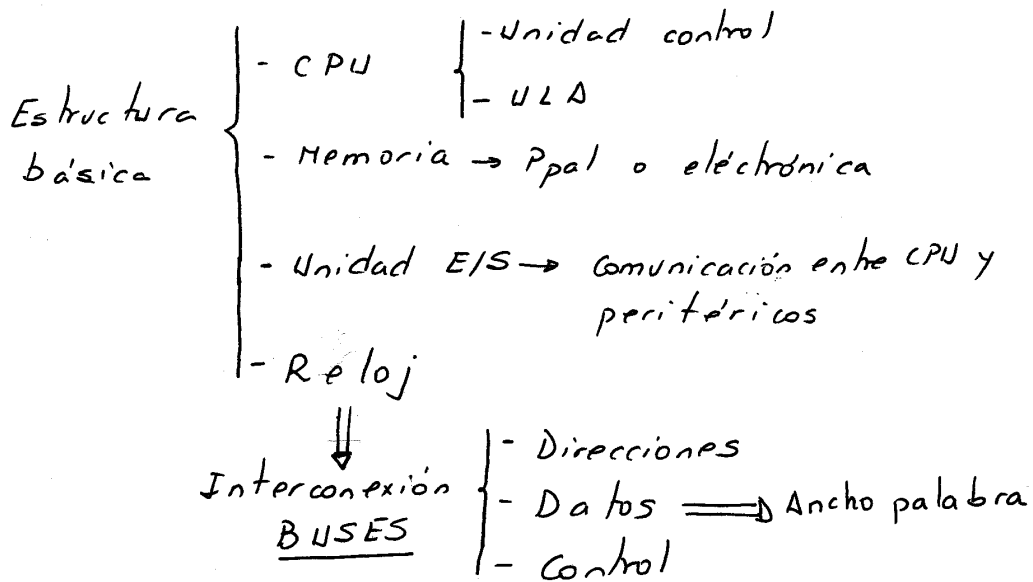


Estructura básica de un computador

- 1.- Introducción
- 2.- Memorias
- 3.- Unidad aritmética
- 4.- Elementos de interconexión. Buses
- 5.- La unidad de control
- 6.- Estructura de un computador y señales de control
- 7.- Funcionamiento interno de un computador. Cronogramas de instrucciones
- 8.- Unidad de entrada/salida
- 9.- Modos de transferencia

1.- Introducción

Computador = sistema digital secuencial síncrono.



Funcionamiento: La CPU ejecuta una serie de instrucciones (programa en lenguaje máquina) almacenadas en mem. principal.

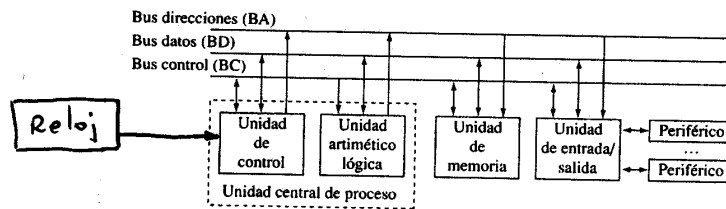
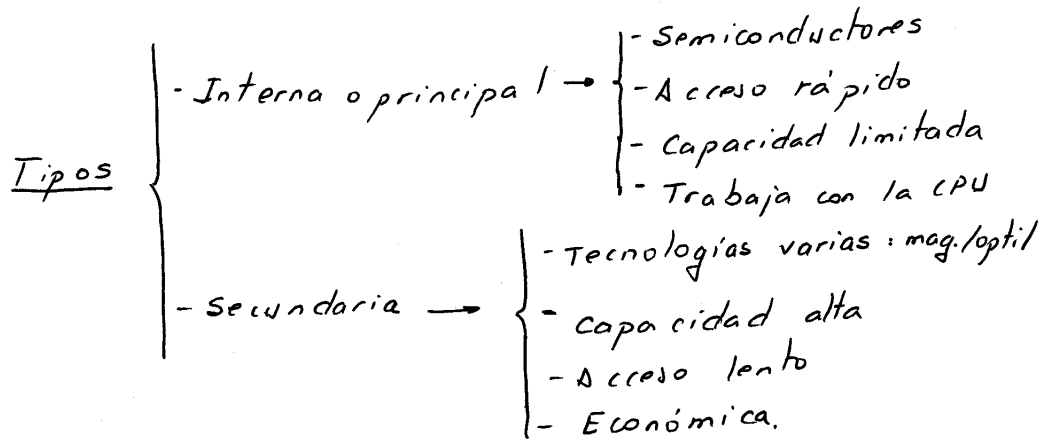


FIGURA 6.1. Estructura funcional de un computador.

2.- Memorias

Dispositivo capaz de almacenar información

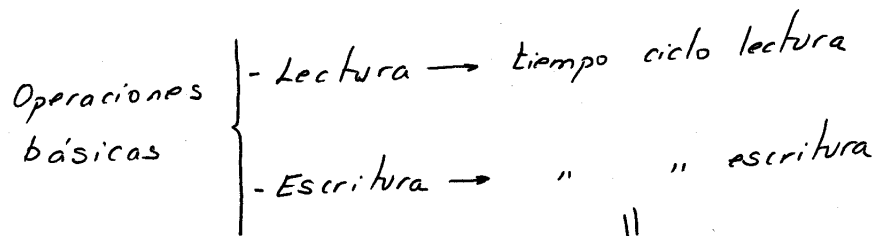


Mem. interna → básicamente unos registros direccionables por bus de direcciones.

Ancho de palabra → n° bits del registro

Tamaño de memoria → ancho palabra × n° palabras

n° palabras = $2^{\text{bus direcciones}}$



tiempo de ciclo

t. mínimo entre dos accesos seguidos

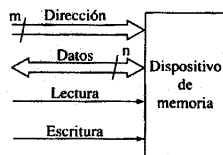


FIGURA 6.2. Señales externas en una memoria.

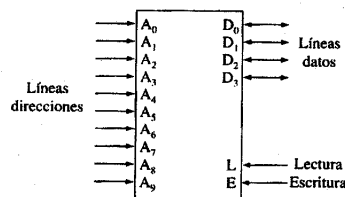


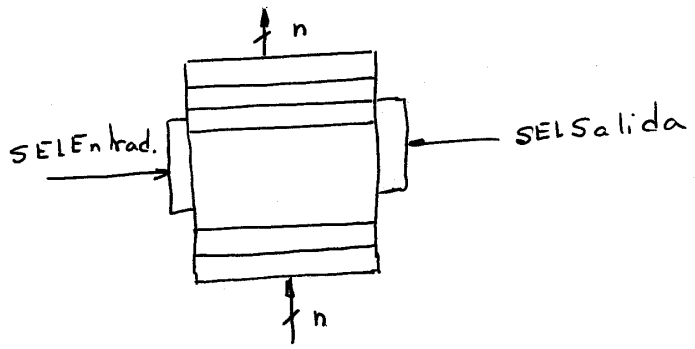
FIGURA 6.3. Señales externas en una memoria 1 k*4.

8.- Unidad lógico-aritmética

Realiza las operaciones lógicas y aritméticas requeridas por la CPU

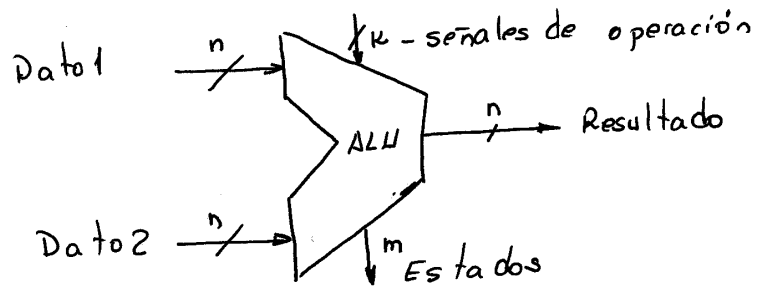
- Constitución
- Banco de registros
 - Operador
 - Biestables de estado

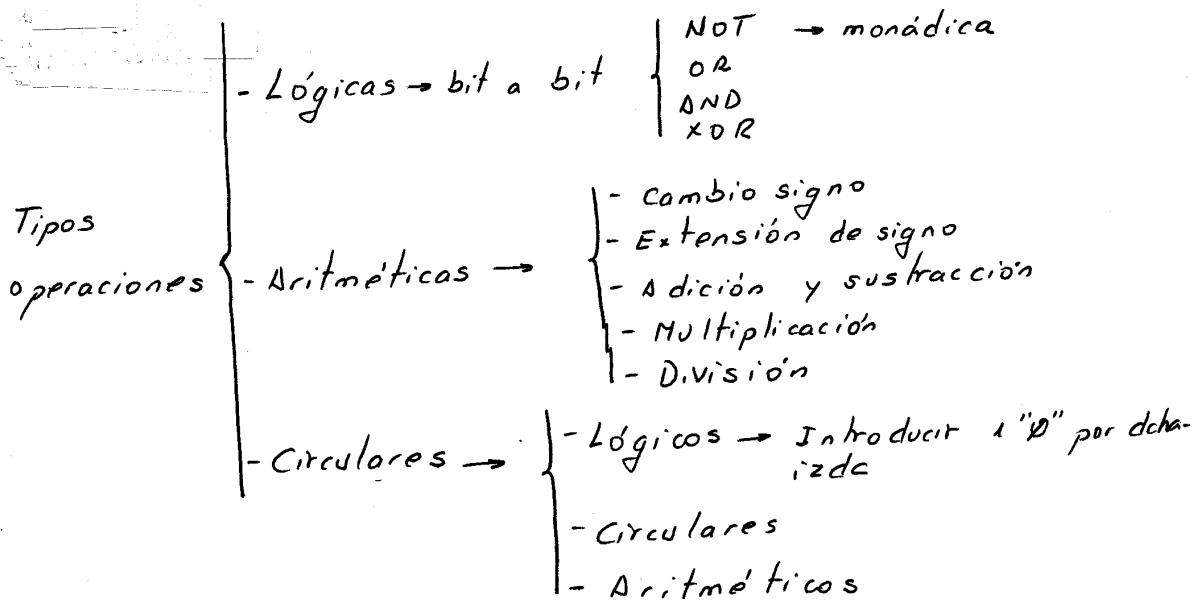
Banco de registros



Operador

- Tipos
- Config. palabra } - serie
 - } - paralelo
 - N° operadores } - Monádicos
 - } - Diádicos
 - Especialización } - Generales
 - } - Especializados





Biestables de estado

Almacenes de los estados resultantes de la operación en el operador

- Flags
- cero (Z)
 - Negativo (N)
 - Acarreo (C)
 - Desbordamiento (V)
 - Paridad (P)

Ejemplo

$$\begin{array}{r} B5 \\ + C7 \\ \hline \end{array}$$

$$\begin{array}{r} 1011\ 0101 \\ 1100\ 0111 \\ \hline \downarrow 0111\ 1100 \Rightarrow \end{array}$$

$$\left\{ \begin{array}{l} Z = 0 \\ N = 0 \\ C = 1 \\ O = 1 \\ P = 1 \end{array} \right.$$

4.- Elementos de interconexión. Buses

clasificación } - Unidireccionales (U)
 dirección } - Bi direccionales (B)

clasificación } - Datos (DB) (B)
 función } - Direcciones (AB) (U)
 } - Control (CB) → misiones diversas

Bus ⇒ puertas triestado

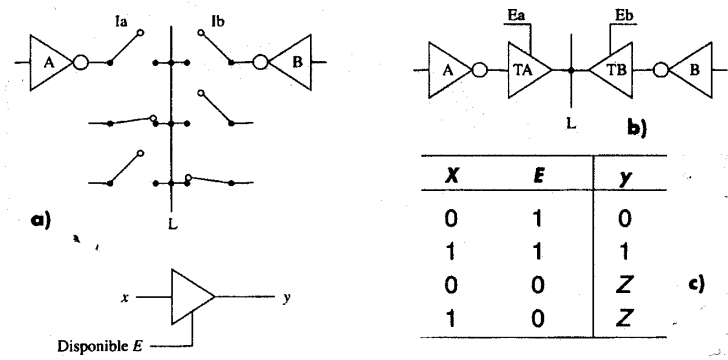
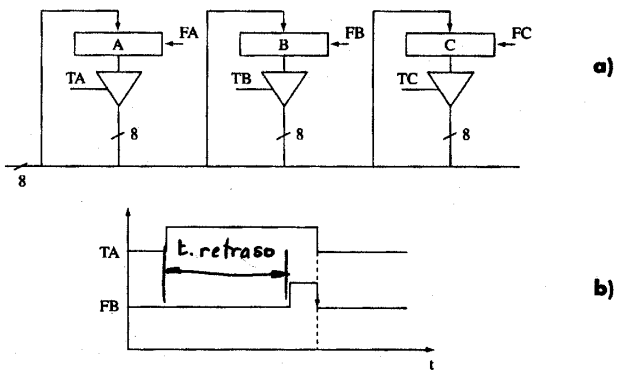


FIGURA 6.7. Solución a la conexión de las salidas de dos puertas; a) con interruptores; b) con adaptadores triestado; c) tabla de verdad de la puerta adaptador triestado.

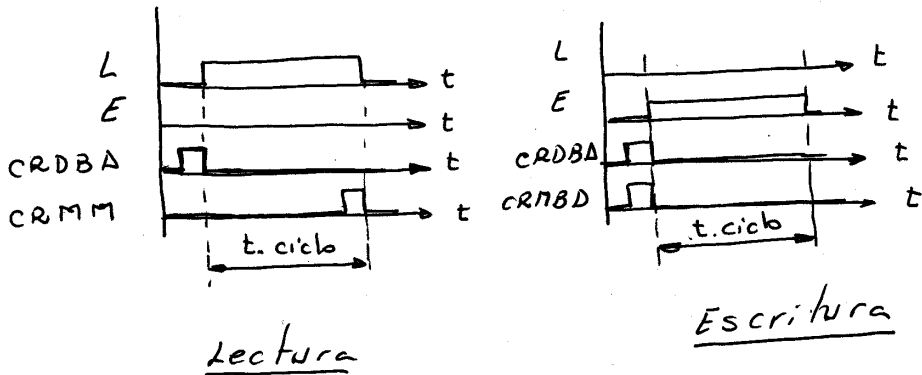
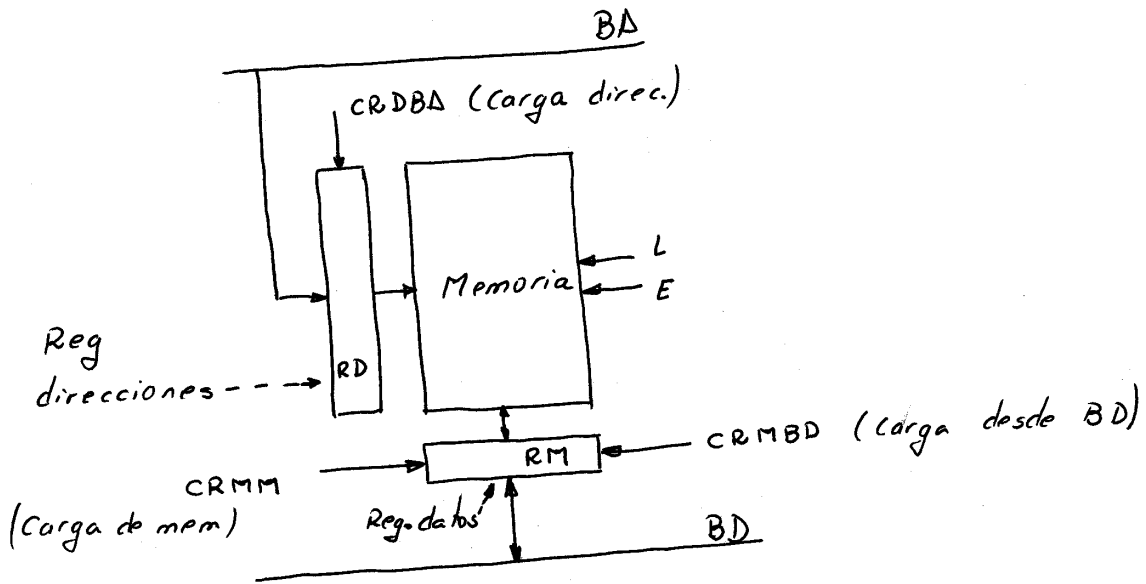


6.8. a) Conexión de 3 registros en un bus a través de puertas adaptadoras triestado. b) Transferencia entre registros A → B.

Estructura funcional de un computador

- Bloques
- Memoria
 - UAL (Unidad aritmetico l6gica)
 - UC (" control)
 - UES (" entrada/salida)

Unidad de memoria



Unidad Aritmética Lógica

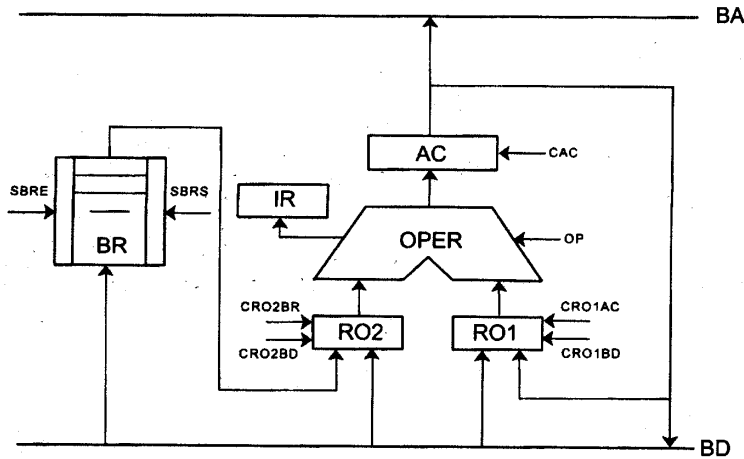


Figura 6.13 Diagrama funcional básico de la unidad aritmético lógica.

Unidad de Control

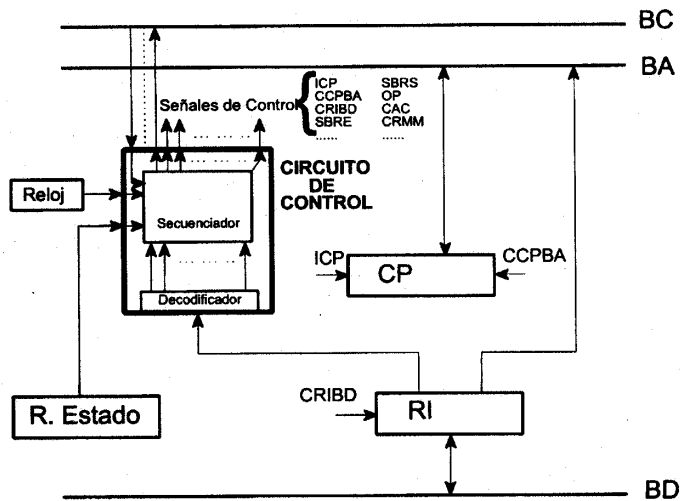


Figura 6.14 Estructura funcional típica de la unidad de control.

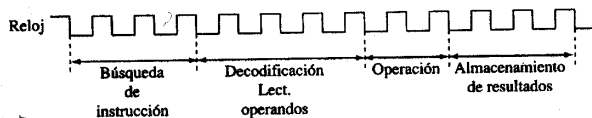


FIGURA 6.10. Representación de las fases de una instrucción, en función del reloj.

Un computador tarda en ejecutar una instrucción 12 ciclos de reloj y la frecuencia de éste es 25 MHz. ¿Cuánto tarda en ejecutar la instrucción?

SOLUCIÓN

El periodo o ciclo de reloj es $1/25\text{MHz} = 1000/25 \text{ ns} = 40 \text{ ns}$; luego para ejecutar la instrucción el computador tarda $12 \times 40 = 480 \text{ ns}$.

EBCE

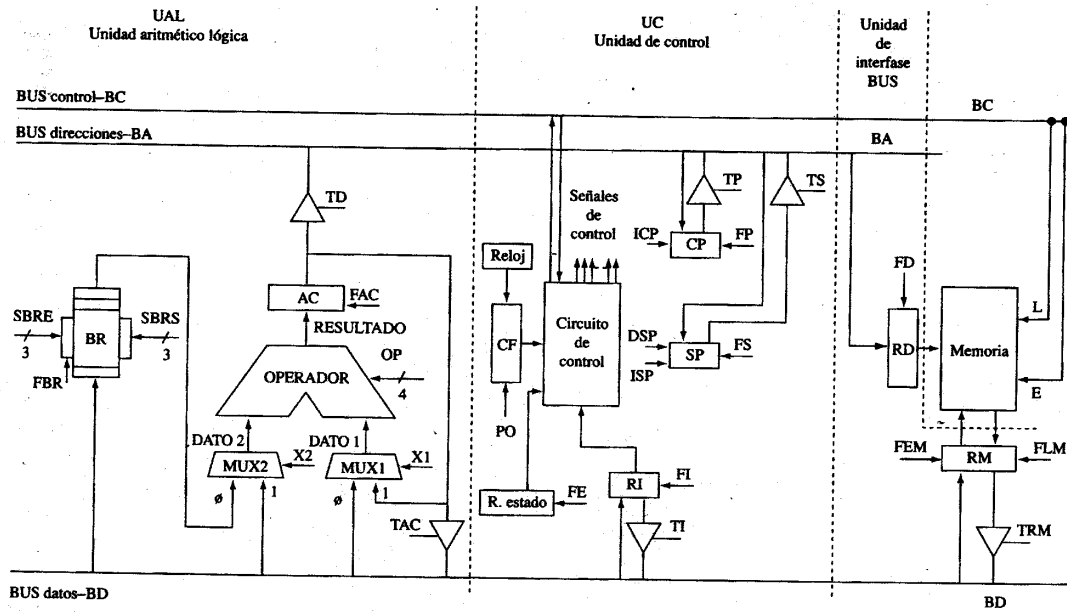


FIGURA 6.12. Estructura del computador ejemplo.

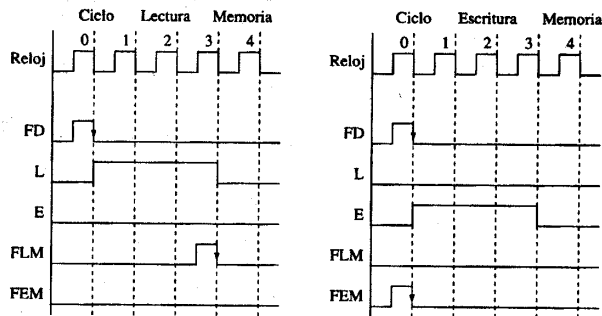


FIGURA 6.13. Cronogramas de lectura y escritura en memoria.

señales ctrl } - Nivel } - Puertas triestado
 } - " } - señales ctrl operador
 } - " } - " RD WR memoria
 } - pulso (flanco)

Fases ejecución instrucción } - Búsqueda
 } - Ejecución

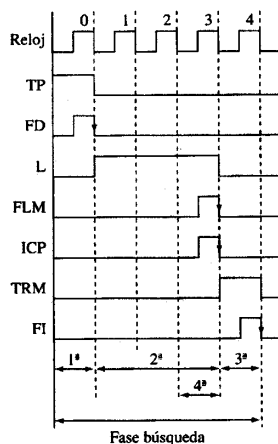
Símbología } → operación de transferencia de A → B
 } () contenido de ... (A)
 } operadores etc con su valor precedido de #

Ejecución de una instrucción

a) Fase búsqueda = común para toda instrucción

1º.- (CP) → BD TP
 (BD) → RD FD

2º.- Lectura de mem. L
 3º.- (RM) → BD TRM
 4º.- Incr. PC ICP



Cronograma de la fase de búsqueda de una instrucción.

b) Fase ejecución = diferente para difer. operaciones

ADDA R3 (suma AC + R3 y resul. en AC)

⇓

$(AC) + (R3) \rightarrow AC$

5.- Decodifica la instrucción

6.- $(AC) + (R3) \rightarrow AC$

- $(AC) \rightarrow DATO1$

$X1 = 1$

- $(R3) \rightarrow DATO2$

$X2 = 0$

$SBR5 = 3$

- $(DATO1) + (DATO2)$

$OP = SUMA$

- $(RESULTADO) \rightarrow AC$

FAC

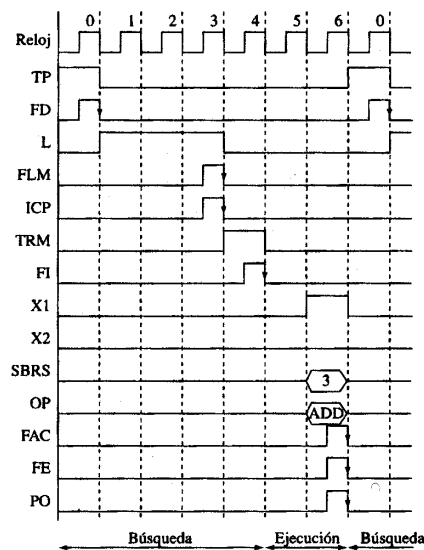
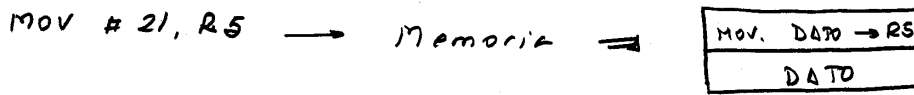


Fig. 6.16. Cronograma completo de la instrucción ADDA R3.

Ejemplo: MOV # 21, R5

Mover dato 21 → R5



Fases { - 2 búsqueda → Instrucción
 - 1 ejecución Dato

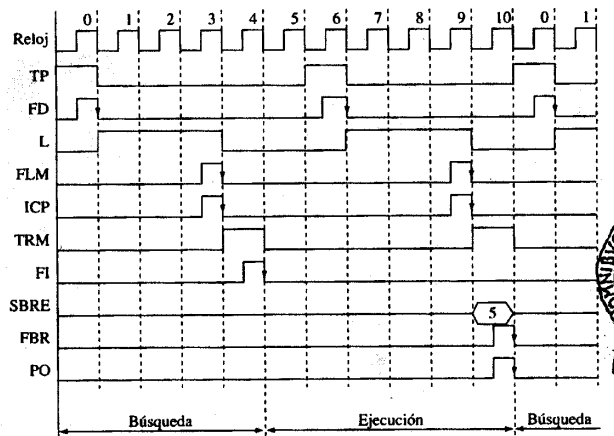


FIGURA 6.17. Cronograma de la instrucción MOVE # 21, R5.

Unidad de entrada salida

Realiza la conexión entre la CPU y los diferentes tipos de periféricos

⇓

Componentes { - Controlador del periférico. Adaptado a él.
 - Intertase con la CPU

Funciones básicas } - Selección dispo. concreto
 - Enlace CPU y periférico para transfer. en general en ambos sentidos
 - Sincronización en las operaciones E/S

Organización física conexión } - Bus único con la memoria
 - Bus dedicado aparte de la mem.

Componentes

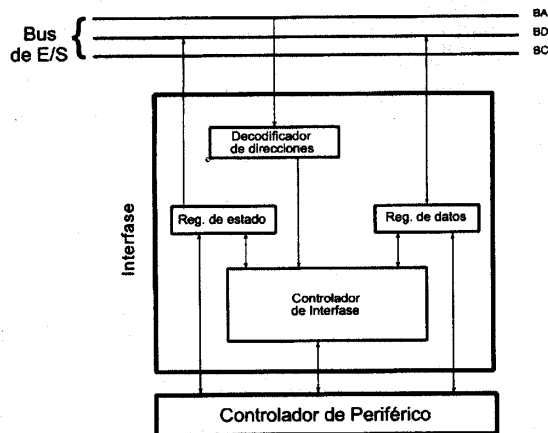


Figura 6.19 Interfase de E/S para un dispositivo genérico.

Mecanismos } - E/S controlada por programa
provocar oper. } - " " " interrupciones
E/S } - E/S por DMA (Acceso directo a mem).

Problemas propuestos

PUSH AC → Guarda AC en la pila

Pasos : $(SP) - 1 \rightarrow SP$
 $(AC) \rightarrow (SP)$

5 primeros pasos } 4.ª - fase búsqueda
 } 5.ª - Decodificación

6 $(SP) - 1 \rightarrow SP$ DSP

7 $(SP) \rightarrow BA$ TS

$(BA) \rightarrow RD$ FD

$(AC) \rightarrow BD$ TAC

$(BD) \rightarrow RM$ FEM

$B \div 10$ Escritura E

$(RM) \rightarrow M(RD)$

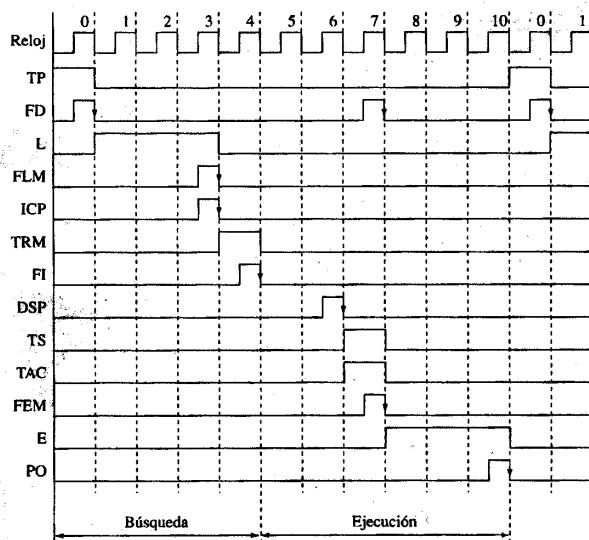


FIGURA 6.20. Cronograma de la instrucción PUSH AC.

POP AC → Recuperar desde la pila el AC

Pasos : $(SP) \rightarrow A$

$(SP)+1 \rightarrow SP$

5 primeros fase búsqueda + decodificación

6 $(SP) \rightarrow BA$ TS

$(BA) \rightarrow RD$ FD

7÷9 Lectura L

$(M(RD)) \rightarrow RM$ FLM

10 $(RM) \rightarrow BD$ TRM

$(BD) \rightarrow DATO1$ XI=0

OP → RESULTADO = DATO1

$(RESULTADO) \rightarrow AC$ FAC

$(SP)+1 \rightarrow SP$ ISP

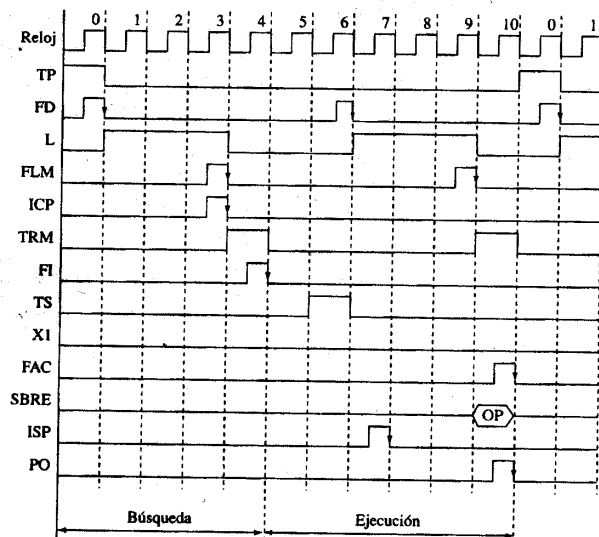


FIGURA 6.21. Cronograma de la instrucción POP AC.