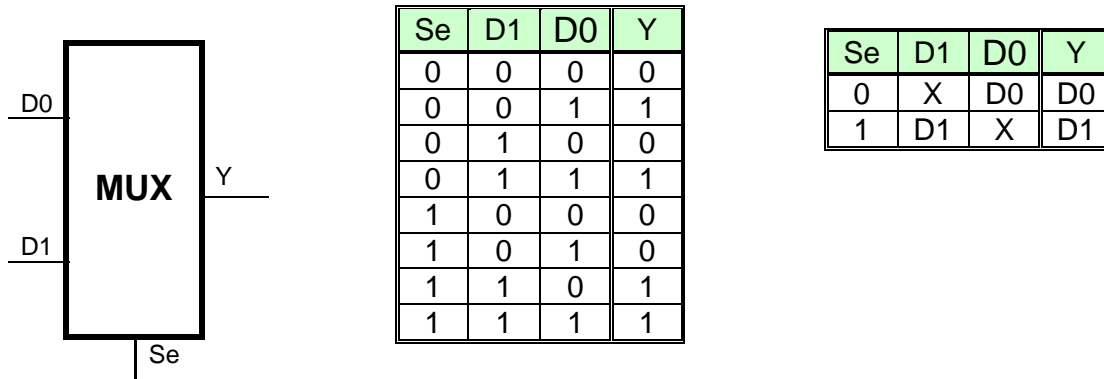


RUTA DE DATOS (MULTIPLEXORES – DEMULTIPLEXORES)

1. Multiplexores

Multiplexor = circuito con “N” entradas, 1 salida y “n” patillas de selección, tal que $2^n = N$. Con la combinación binaria introducida en las patillas de selección (n), elegimos la entrada N que aparecerá en la salida.

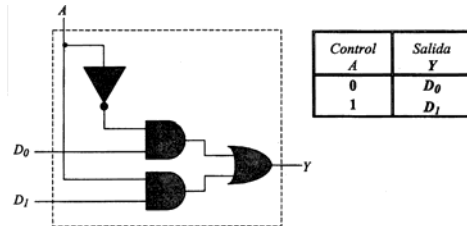
Síntesis:



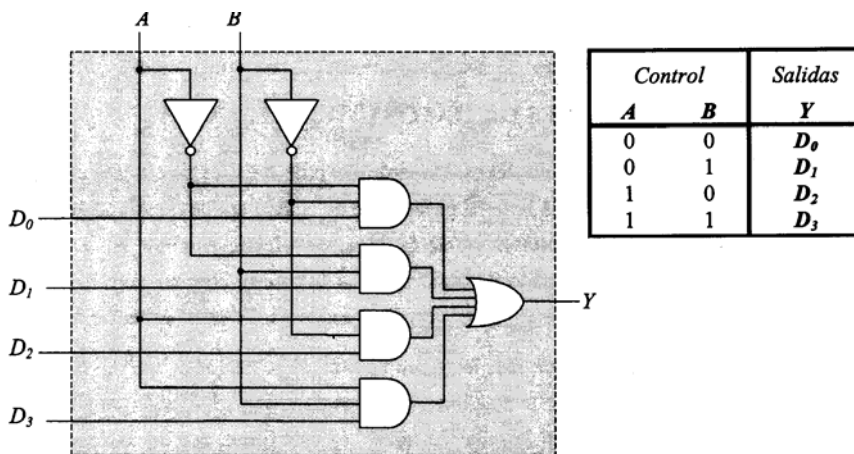
\overline{Se} Se

$y = \overline{Se} \cdot d0 + Se \cdot d1$

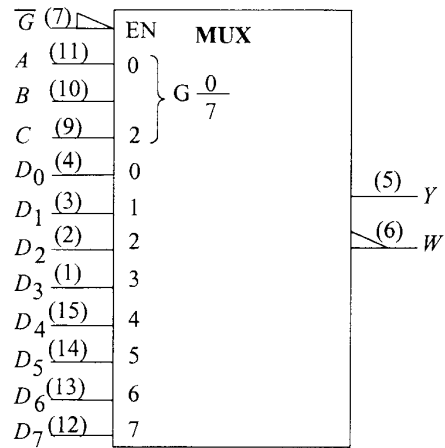
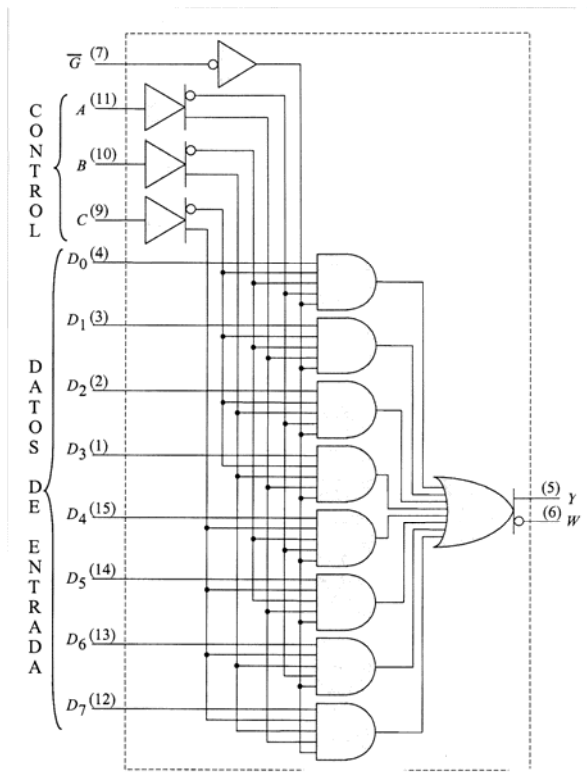
	$\overline{d0}$	$d0$	$d0$	$\overline{d0}$
$\overline{d1}$	0	1	0	0
$d1$	0	1	1	1



Multiplexor de 4 canales (4 a 1)



Multiplexor de 8 canales (8 a 1)



ENTRADAS				SALIDAS	
Control de Canal			Strobe	Y	W
C	B	A	\overline{G}	\overline{Y}	\overline{W}
x	x	x	H	L	H
L	L	L	L	D_0	$\overline{D_0}$
L	L	H	L	D_1	$\overline{D_1}$
L	H	L	L	D_2	$\overline{D_2}$
L	H	H	L	D_3	$\overline{D_3}$
H	L	L	L	D_4	$\overline{D_4}$
H	L	H	L	D_5	$\overline{D_5}$
H	H	L	L	D_6	$\overline{D_6}$
H	H	H	L	D_7	$\overline{D_7}$

Usos

- 1. Convertidor de datos de paralelo a serie
- 2. Sintetizar funciones lógicas

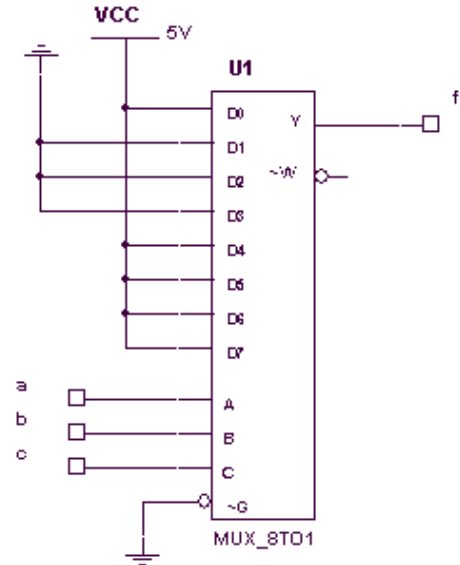
Síntesis de funciones lógicas

A la hora de sintetizar una función lógica lo que se hace es obtener los términos minterm de dicha función, estos son las combinaciones de entrada para las cuales la salida toma valor "1". Por lo tanto con unmultiplexor se puede implementar dicha función introduciendo un nivel "1" en cada una de las entradas correspondientes al orden de los términos minterm necesarios y conectando las variables de entrada en las patillas de selección de dichas entradas.

Ejemplo:

$$f(a, b, c) = \sum m(0, 4, 5, 6, 7)$$

La implementación más elemental consiste en colocar un multiplexor de 8 canales que tengas a "1" las entradas 0,4,5,6,7 y conectar las variables a, b y c en las patillas de selección.



Sin embargo en ocasiones se puede simplificar la implementación sometiendo primeramente a la función a una simplificación y posteriormente implementar el resultado con uno o varios multiplexores.

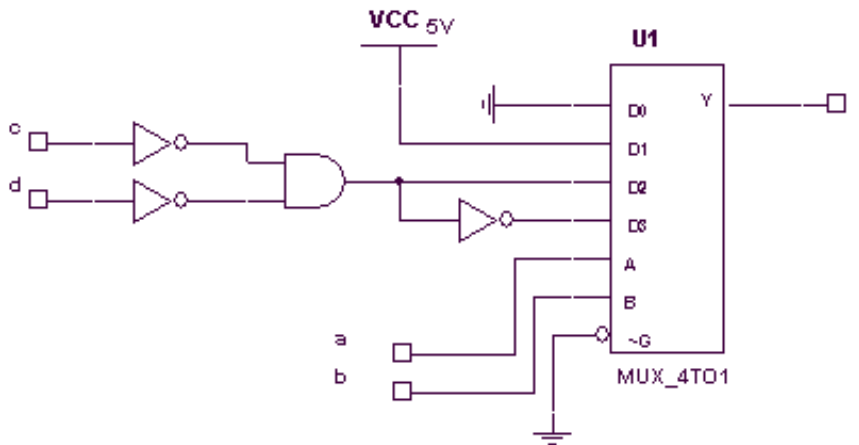
Ejemplo:

$$f(a, b, c, d) = \sum m(4, 5, 6, 7, 8, 13, 14, 15)$$

$$f(a, b, c, d) = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}c\bar{d} + \bar{a}b\bar{c}\bar{d} + \bar{a}bc\bar{d} + a\bar{b}\bar{c}\bar{d} + a\bar{b}c\bar{d} + ab\bar{c}\bar{d} + abcd$$

Elegimos un multiplexor de 4 canales al que conectamos las variables a y b, por lo que en la función anterior sacamos factor común las variables a y b que aparezcan con los mismos valores en los diferentes términos:

$$f(a, b, c, d) = \bar{a}\bar{b}(0) + \bar{a}\bar{b}(1) + a\bar{b}(\bar{c}\bar{d}) + ab(\bar{c}\bar{d} + c\bar{d} + cd) = \bar{a}\bar{b}(0) + \bar{a}\bar{b}(1) + a\bar{b}(\bar{c}\bar{d}) + ab(\bar{c}\bar{d})$$



Diseño en árbol

Cuando el número de variables es tal que un multiplexor no es suficiente, se utiliza un diseño en árbol.

El diseño en árbol consiste en sintetizar un grupo de variables comunes a todos los términos y luego conectar las salidas a la sintetización del resto de variables.

Ejemplo:

$$f(a,b,c,d,e) = \bar{a}\bar{b}\bar{c}\bar{d}e + \bar{a}b\bar{c}\bar{d}e + a\bar{b}\bar{c}\bar{d}e + a\bar{b}c\bar{d}e + abcde + ab\bar{c}\bar{d}e$$

1ª Se decide las variables que van a formar el primer nivel y se sacan como factor común en cada uno de los términos en todas sus combinaciones. En caso de no aparecer en todas sus combinaciones se aplica el teorema de expansión hasta que aparezcan.

Se toman para el primer nivel las variables a y b.

$$f(a,b,c,d,e) = \bar{a}\bar{b}(\bar{c}\bar{d}e + d\bar{e}) + a\bar{b}(c\bar{d}e + \bar{c}d\bar{e}) + ab(cde + \bar{c}\bar{d}e) + \bar{a}b(0)$$

2ª Agrupar y simplificar los términos comunes a las variables del primer nivel y sintetizar el contenido de los paréntesis eligiendo las variables del segundo nivel.

Se toman para el segundo nivel las variables d y e.

$$f(a,b,c,d,e) = \bar{a}\bar{b}(\bar{c}\bar{d}e + d\bar{e}) + a\bar{b}(c\bar{d}e + \bar{c}d\bar{e}) + ab(cde + \bar{c}\bar{d}e) + \bar{a}b(0)$$

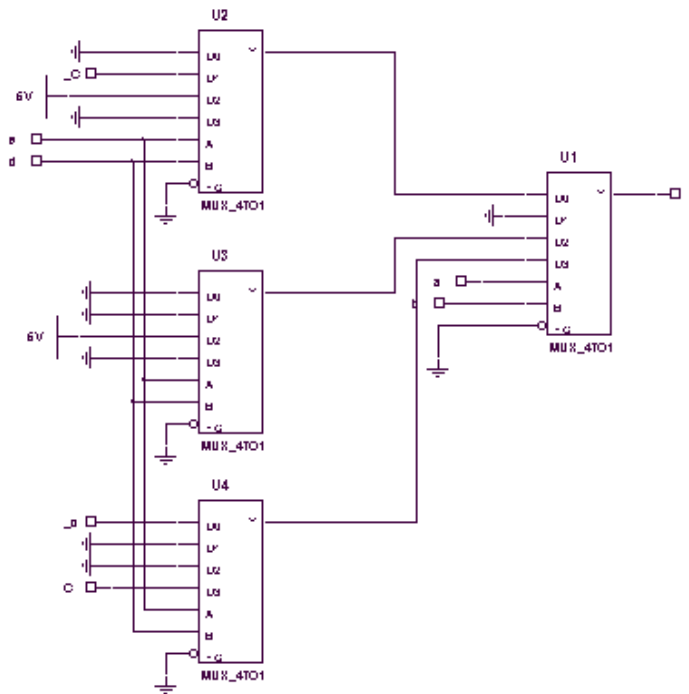
A
B
C

$$A = (\bar{c}\bar{d}e + d\bar{e}) = \bar{d}\bar{e}(0) + \bar{d}e(\bar{c}) + d\bar{e}(1) + de(0)$$

$$B = (c\bar{d}e + \bar{c}d\bar{e}) = \bar{d}\bar{e}(0) + \bar{d}e(0) + d\bar{e}(\bar{c} + c) + de(0) = \bar{d}\bar{e}(0) + \bar{d}e(0) + d\bar{e}(1) + de(0)$$

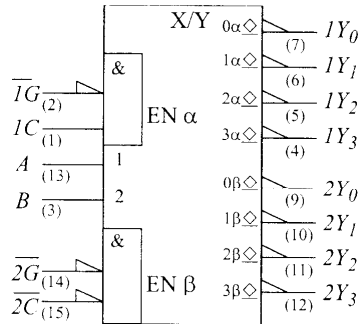
$$C = (cde + \bar{c}\bar{d}e) = \bar{d}e(\bar{c}) + \bar{d}e(0) + d\bar{e}(0) + de(c)$$

3ª Sintetizar con multiplexores cada nivel e interconectar entre ellos de forma que cada combinación binaria de los del segundo nivel se conectan a las entradas correspondientes del nivel superior.

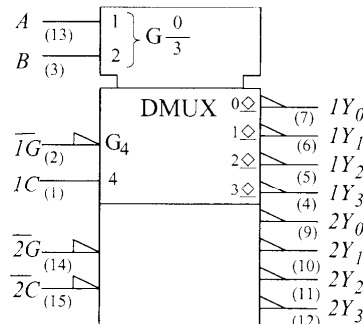


2. Demultiplexores

Demultiplexor = circuito con "1" entradas, N salida y "n" patillas de selección, tal que $2^n = N$. Con la combinación binaria introducida en las patillas de selección (n), elegimos la salida N en la que aparecerá la entrada.



Decodificador de 2 a 4



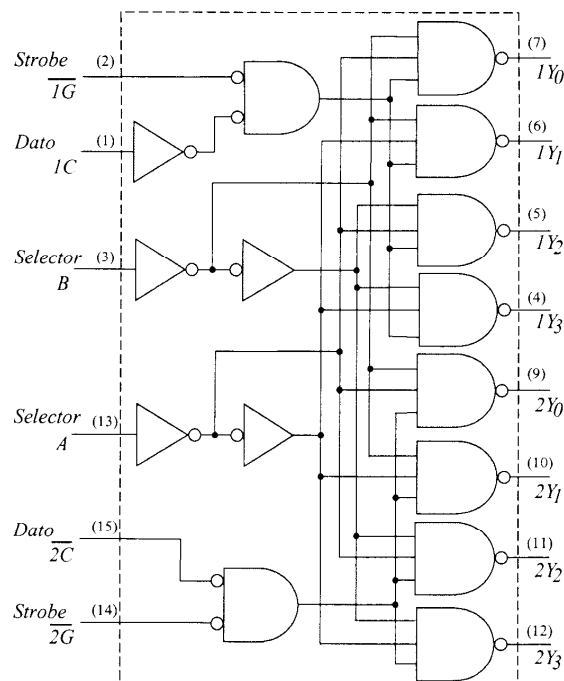
Demultiplexo de 1 a 4

ENTRADAS				SALIDAS			
Selección	Strobe	Dato		1Y ₀	1Y ₁	1Y ₂	1Y ₃
B	A	1G	1C				
x	x	H	x	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

ENTRADAS				SALIDAS			
Selección	Strobe	Dato		2Y ₀	2Y ₁	2Y ₂	2Y ₃
B	A	2G	2C				
x	x	H	x	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Con la combinación binaria introducida en las patillas de selección, elegimos la salida por la que aparecerá la entrada.

Circuito ALS156. Tablas de verdad para controlar el funcionamiento del circuito como decodificador de 2 a 4 y como DEMUX doble de 1 a 4.



Circuito interno del SN74ALS156 que incluye dos demultiplexos 1 a 4 con direccionamiento común (A,B) y entrada de facilitación/inhibición individual (1G y 2G).

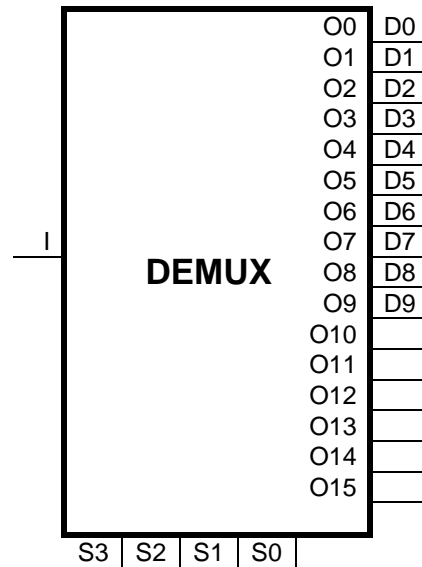
- Usos
- 1. Distribución de datos
 - 2. Decodificación
 - 3. Diseño general

Uso como decodificador

El uso es muy sencillo, ya que, se pondrá la entrada a un nivel lógico fijo (1 o 0 según interese) y luego mediante la combinación binaria que metamos en las patillas de selección conseguiremos el nivel lógico introducido a la entrada en la salida seleccionada, conformando con ello un decodificador.

CÓDIGO BCD				DECIMAL
8	4	2	1	
<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	$\{D_i\}$
0	0	0	0	$D_0 = \overline{D} \overline{C} \overline{B} \overline{A}$
0	0	0	1	$D_1 = \overline{D} \overline{C} \overline{B} A$
0	0	1	0	$D_2 = \overline{D} \overline{C} B \overline{A}$
0	0	1	1	$D_3 = \overline{D} \overline{C} B A$
0	1	0	0	$D_4 = \overline{D} C \overline{B} \overline{A}$
0	1	0	1	$D_5 = \overline{D} C \overline{B} A$
0	1	1	0	$D_6 = \overline{D} C B \overline{A}$
0	1	1	1	$D_7 = \overline{D} C B A$
1	0	0	0	$D_8 = D \overline{C} \overline{B} \overline{A}$
1	0	0	1	$D_9 = D \overline{C} \overline{B} A$

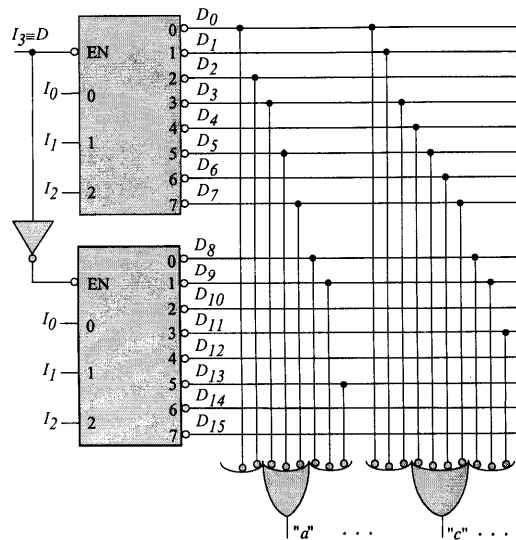
Decodificador BCD a decimal. Tabla de verdad y funciones lógicas asociadas a cada dígito decimal.



Decodificador BCD-Segmentos

<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	0	0	0
2	0	0	1	0	1	1	0	1	1	0
3	0	0	1	1	1	1	1	1	0	0
4	0	1	0	0	0	1	1	0	0	1
5	0	1	0	1	1	0	1	1	0	1
6	0	1	1	0	0	0	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0
8	1	0	0	0	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1
10	1	0	1	0	0	0	1	1	0	1
11	1	0	1	1	0	0	1	1	0	0
12	1	1	0	0	0	1	0	0	0	1
13	1	1	0	1	1	0	0	1	0	1
14	1	1	1	0	0	0	0	1	1	1
15	1	1	1	1	0	0	0	0	0	0

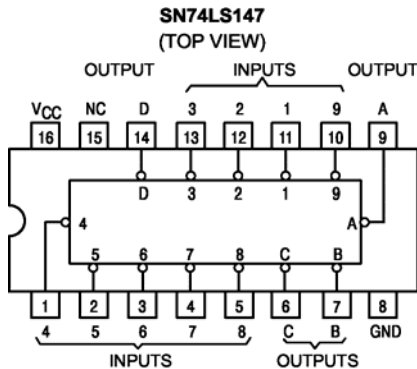
Decodificador BCD a 7 segmentos. (a) Código de diodos usado para representar los dígitos. (b) Tablas de verdad.



3. Codificadores con prioridad

Un circuito codificador genera una salida en función del código correspondiente a la entrada activa. Si están activadas más de una entrada es necesario establecer un criterio de prioridad de forma que en todo momento sólo se genere el código de la línea más prioritaria de entre todas las activas.

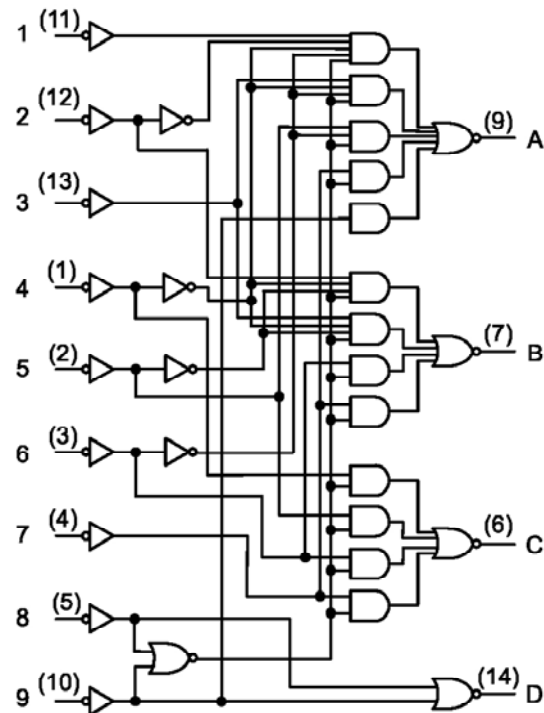
A este tipo de codificadores se les denomina **codificadores con prioridad**.



SN74LS147
FUNCTION TABLE

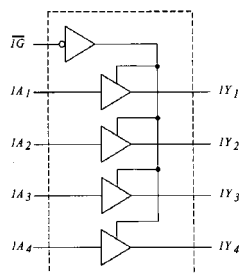
INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Logic Level, L = LOW Logic Level, X = Irrelevant

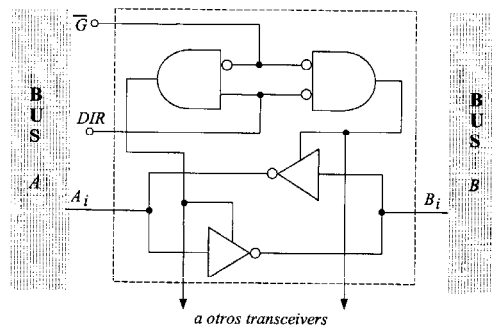


4. Amplificadores (Buffers-Drivers) y Transmisores-Receptores de Bus

Circuitos integrados que sirven para amplificar la corriente de las señales y para configurar los buses de comunicación de los sistemas microprocesadores.



Circuitos amplificadores ("Buffers-Drivers") tipo ALS760 (medio circuito).



Transmisor-receptor de canal (ALS641).

CONTROL		OPERACIÓN
\bar{G}	DIR	
0	0	Datos de B pasan a A
0	1	Datos de A pasan a B
1	x	Aislamiento

EXAMENES

Mayo del 2002

Circuitos selectores de datos (multiplexores):

- Conceptos de multiplexores.
- Aplicarlo al diseño de dos niveles (usando multiplexores de **4 entradas y 1 salida**) de la siguiente función lógica:

$$f(x, y, z, u, v) = x\bar{y}z\bar{u}\bar{v} + \bar{x}y\bar{z}u\bar{v} + x\bar{z}(u + v)$$

$$f(x, y, z, u, v) = x\bar{y}z\bar{u}\bar{v} + \bar{x}y\bar{z}u\bar{v} + x\bar{z}(u + v) = x\bar{y}z(\bar{u} + \bar{v}) + \bar{x}y\bar{z}u\bar{v} + x\bar{z}u + x\bar{z}v = x\bar{y}z\bar{u} + x\bar{y}z\bar{v} + \bar{x}y\bar{z}u\bar{v} + x\bar{z}u + x\bar{z}v$$

1^{er} nivel "xz":

$$f(x, y, z, u, v) = x\bar{y}z\bar{u} + x\bar{y}z\bar{v} + \bar{x}y\bar{z}u\bar{v} + x\bar{z}u + x\bar{z}v = \bar{x} \cdot \bar{z} (uy\bar{v}) + \bar{x}z(0) + x\bar{z} (u + v) + xz (\bar{y} \cdot \bar{u} + \bar{y} \cdot \bar{v})$$

A

B

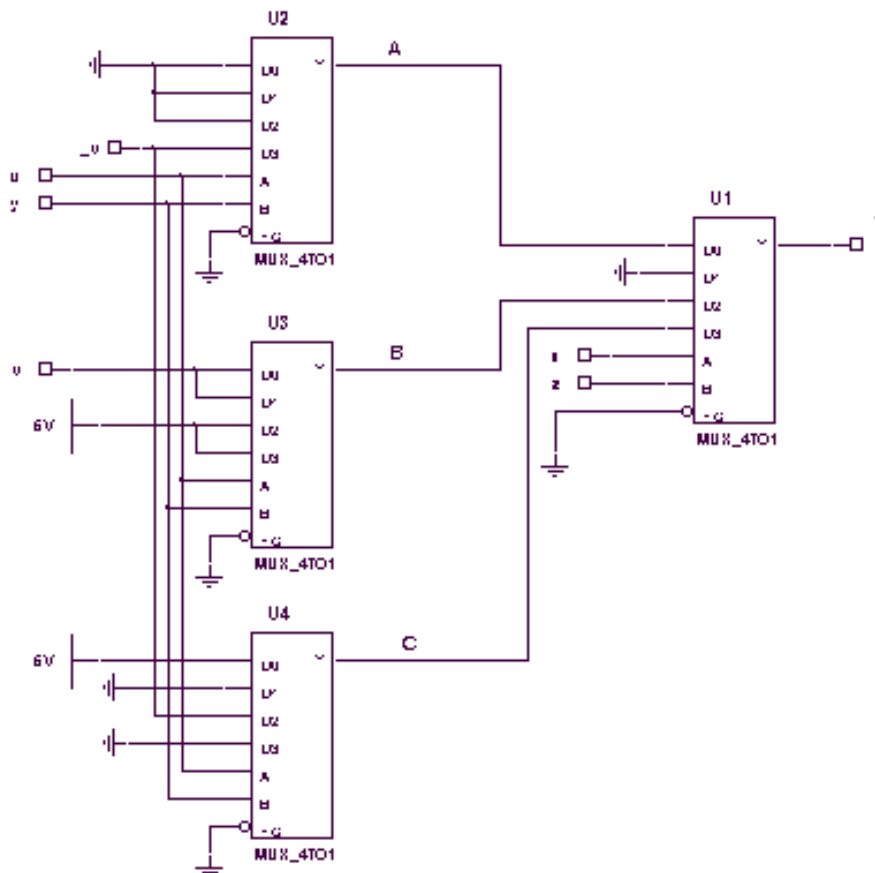
C

2^{er} nivel "uy":

$$A = uy\bar{v} = uy(\bar{v})$$

$$B = (u + v) = uy + u\bar{y} + \bar{u} \cdot \bar{y}v + \bar{u}yv + u\bar{y}v + uyv = \bar{u} \cdot \bar{y}(v) + \bar{u}y(v) + u\bar{y}(1) + uy(1)$$

$$C = \bar{y} \cdot \bar{u} + \bar{y} \cdot \bar{v} = \bar{y} \cdot \bar{u} + \bar{y} \cdot \bar{v} \cdot \bar{u} + \bar{y} \cdot \bar{v} \cdot u = \bar{u} \cdot \bar{y}(1) + \bar{u}y(0) + u\bar{y}(\bar{v}) + uy(0)$$



Septiembre del 2000

Diseño con circuitos multiplexores y demultiplexores:

- Aspectos teóricos.
- Aplicarlo a los circuitos cambiadores de código que pasan de BCD (exceso a 3) a Gray. Para facilitar la tarea se adjunta la tabla de correspondencia entre los distintos códigos.

Dígito Decimal	BCD (5421)	BCD Exceso - 3	Gray
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0011
3	0011	0110	0010
4	0100	0111	0110
5	0101	1000	0111
6	0110	1001	0101
7	0111	1010	0100
8	1000	1011	1100
9	1001	1100	1101

Dígito Decimal	BCD (5421)	BCD Exceso - 3				Gray			
0	0000	0	0	1	1	0	0	0	0
1	0001	0	1	0	0	0	0	0	1
2	0010	0	1	0	1	0	0	1	0
3	0011	0	1	1	0	0	0	1	1
4	0100	0	1	1	1	0	1	1	0
5	0101	1	0	0	0	0	1	1	1
6	0110	1	0	0	1	0	1	0	0
7	0111	1	0	1	0	0	1	0	1
8	1000	1	0	1	1	1	1	0	0
9	1001	1	1	0	0	1	1	0	1
		b ₃	b ₂	b ₁	b ₀	g ₃	g ₂	g ₁	g ₀

$$g_3 = \sum m(11,12) \quad g_2 = \sum m(7,8,9,10,11,12) \quad g_1 = \sum m(5,6,7,8) \quad g_0 = \sum m(4,6,8,10,12)$$

