

FAMILIAS LÓGICAS. TTL.

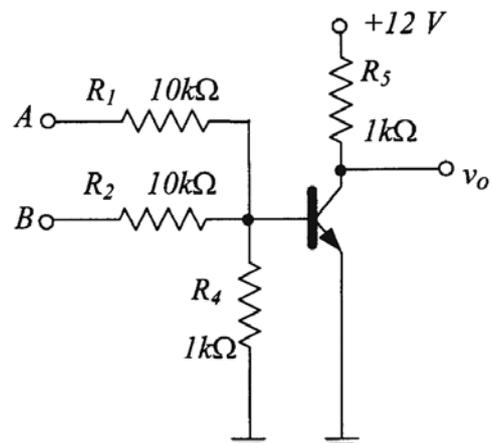
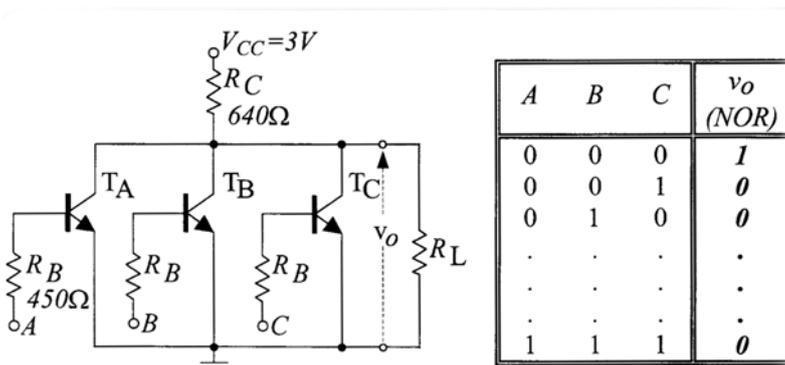
Familia lógica \Rightarrow Elementos con que se fabrican las funciones.

2. Caracterización de las distintas familias lógicas		
➤ Características Estáticas	<ul style="list-style-type: none"> Características de Transferencia 	<ul style="list-style-type: none"> Niveles lógicos Salto lógico Punto umbral Puntos de ganancia unidad Anchura de transición
	<ul style="list-style-type: none"> Características de Entrada y Salida 	
➤ Transitorios	<ul style="list-style-type: none"> Tiempos de retardo Tiempo de subida Tiempo de bajada 	
➤ Ruido	<ul style="list-style-type: none"> Sensibilidad al ruido Rechazo del ruido Inmunidad Margen de ruido en "0" y "1" 	
➤ Consumo		
➤ Flexibilidad Lógica	<ul style="list-style-type: none"> Compatibilidad y acoplo con otras familias Cableado lógico Salidas complementarias Capacidad de excitación (fan-out, open colector) Puertas múltiples Posibilidad de usos alternativos 	

Lógica RTL:

Utiliza resistencias y transistores.

Puertas NOR en tecnología RTL:



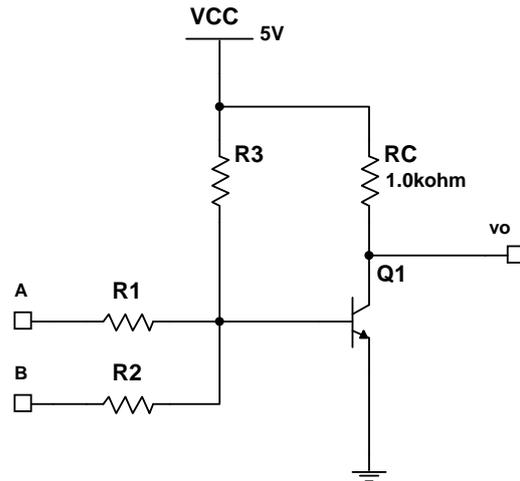
Puertas NAND en tecnología RTL:

Si $A = B = 1$, toda la corriente pasa por la base del transistor, dicho transistor conduce, por lo que $V_{CE}=0$, esto es 0 de salida.

Si $B=0$, R_2 queda conectada a masa, si esta R_2 es suficientemente pequeña, la I_B por el transistor es baja y dicho transistor estará en el corte, por lo que su $I_C=0$, la $V_{RC}=0$ y por tanto la $V_{CE}=5V$, esto es un nivel 1 de salida.

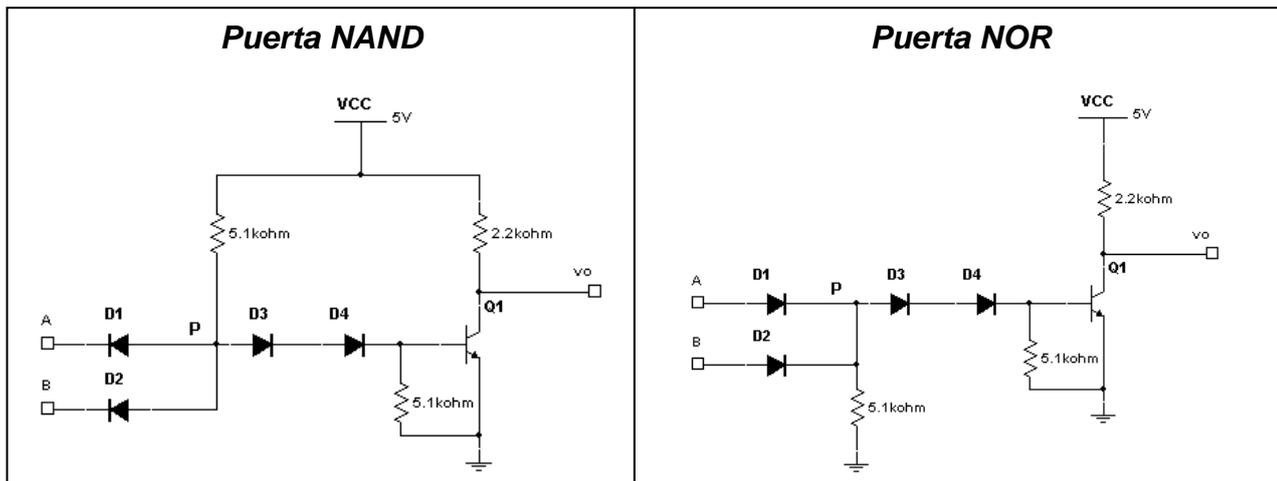
Si $A = B = 0$ ocurre lo mismo que en el caso anterior, resultando un nivel 1 de salida.

Por lo tanto la salida es 0 solo cuando ambas entradas son 1. lo que corresponde a la función de la puerta lógica NAND.



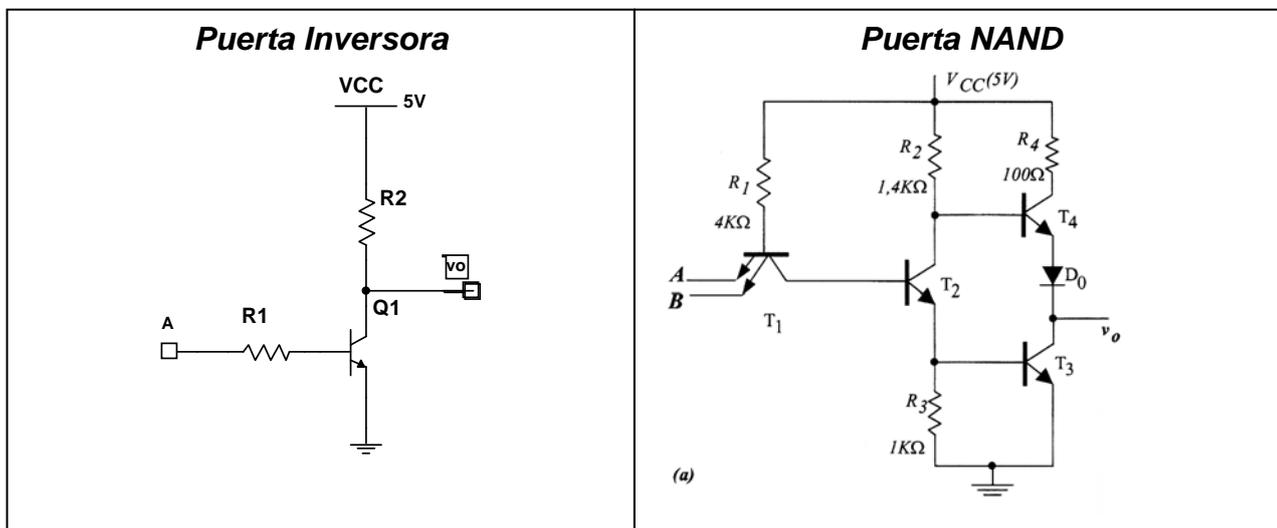
Lógica DTL:

Utiliza diodos y transistores. Con los diodos se realiza la función lógica.



Lógica TTL:

Utiliza transistores

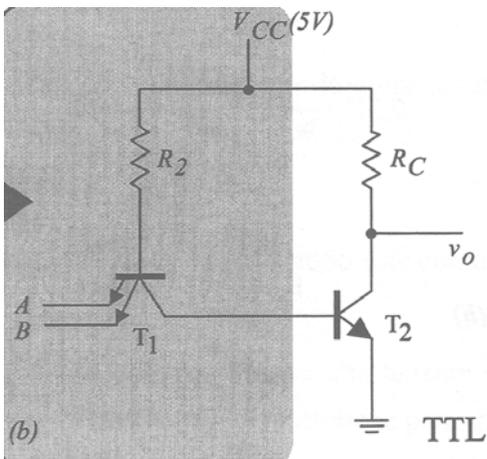


CONFIGURACIONES DE SALIDA

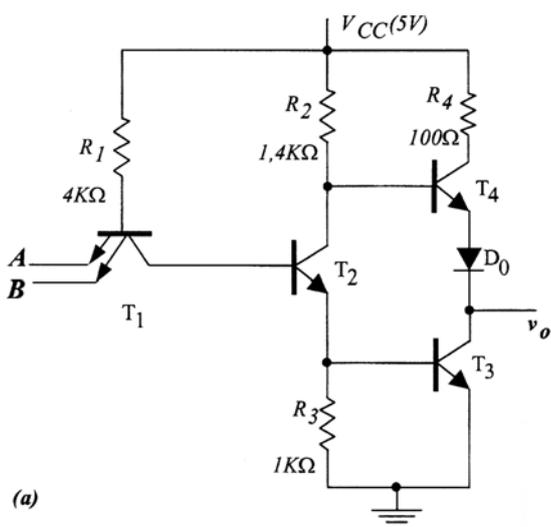
Independientemente de la función lógica implementada, la parte de salida puede tener diferentes configuraciones de acuerdo a la aplicación en la que se quiera integrar

Configuraciones {
 Por resistencia de colector.
 Totem-pole.
 Colector abierto.
 Triestado.

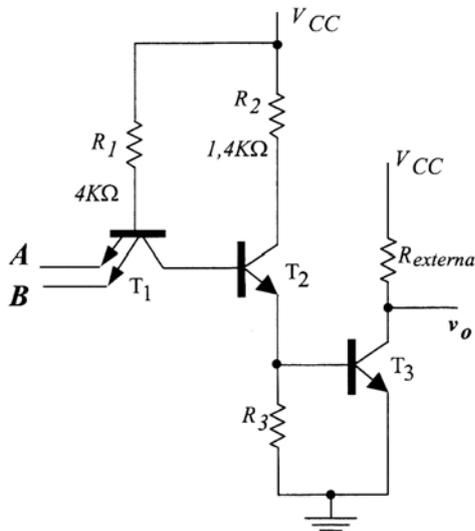
Por resistencia de colector

 <p>(b)</p>	<p>La resistencia de polarización R_2 del transistor T_2 va integrada en el propio circuito integrado, provocando que cuando éste conduzca ($V_{CE}=0$) $V_{RC}= V_{CC}$. $I_C= V_{CC}/R_C$, provocando con ello una disipación de potencia en dicha resistencia, lo que provoca un calentamiento que hay que disipar y que impide un alto nivel de integración (nivel de integración = número de puertas lógicas dentro del circuito integrado). Hoy día no se utiliza debido al inconveniente expuesto.</p>
---	---

Totem-pole

 <p>(a)</p>	<p>Mediante el transistor T_2 se consigue que cuando un transistor conduce (T_4) el otro (T_3) esté abierto. De esta manera se consigue obtener un "1" de salida pero con la ventaja de que aunque pasa corriente por T_4 como su caída de tensión es en teoría 0V su disipación de potencia es 0mW y la potencia disipada por R_4 es baja ya que $R_4=100\Omega$. En la otra posición T_2 consigue que cuando T_3 conduzca, T_4 está abierto, provocando que la intensidad por $T_4=0mA$ y por lo tanto la potencia disipada sea 0mW. Como T_3 conduce su $V_{CE}=0$ y por lo tanto la potencia disipada =0mW. Como se puede apreciar en los dos casos la potencia disipada es muy baja, permitiendo ello altos niveles de integración.</p> <p><u>NUNCA dos salidas en paralelo</u></p>
--	---

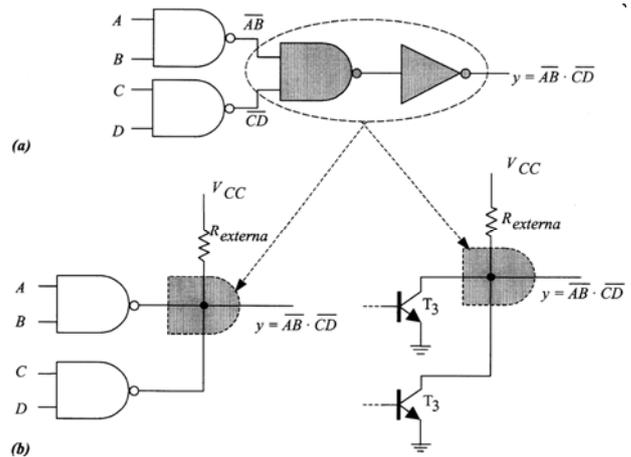
Colector abierto



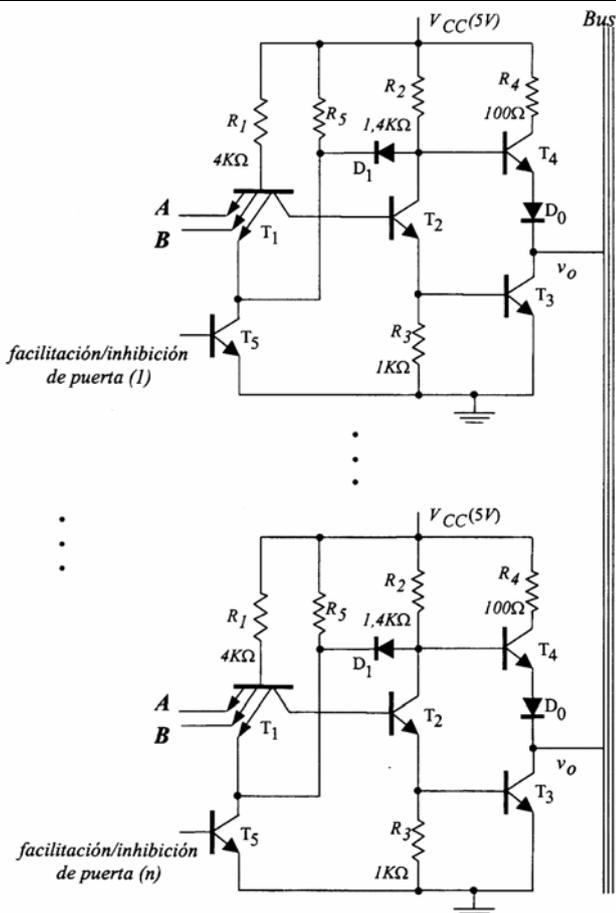
La configuración es exactamente igual a la de “Resistencia de colector”, solamente que dicha resistencia no está integrada en el circuito si no que es la propia carga.

La principal utilización es el gobierno directo de cargas que precisan unas tensiones o corrientes superiores a los niveles de la familia.

Por otro lado permiten la realización de puertas AND por conexión con solo unir en paralelo las salidas de varios circuitos integrados.



Triestado



La configuración es similar a la Totem-pole, pero se le añade un transistor T5 que es gobernado por la patilla de inhibición, de forma que introduciendo un “1” se le hace conducir haciendo que su $V_{CE}=0$. Esto provoca que T1 conduzca y provoque el corte de T2, que a su vez provoca el corte de T3. Al mismo tiempo la conducción de T5 provoca el corte de T4.

Como se puede apreciar el meter un “1” en T5 los dos transistores T4 y T3 están cortados. Lo que provoca que el potencial en v_o sea nulo, esto es haya una alta impedancia o aire.

Cuando la entrada de inhibición es 0, provoca que T5 esté cortado y que su influencia sea nula en el funcionamiento del circuito y este se comporte como la función que implementa. En este caso una puerta NAND.

La principal aplicación, como se puede apreciar en la figura, es la construcción de buses de comunicación en los que cada puerta deposita la información de manera aleatoria. NUNCA SE DEBEN HABILITAR DOS PUERTAS AL MISMO TIEMPO ya que ello provocaría el mismo problema que en la configuración Totem-pole.

NUNCA SE DEBEN HABILITAR DOS PUERTAS AL MISMO TIEMPO