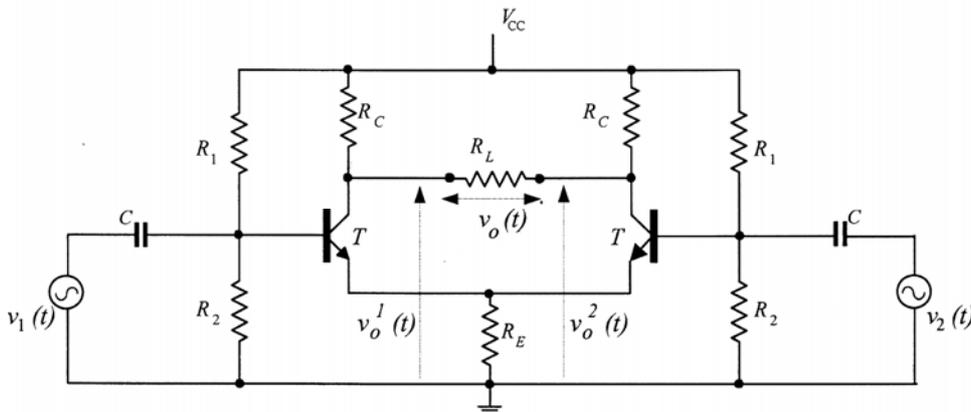


FAMILIAS LÓGICAS. ECL, MOS, CMOS, BICMOS.

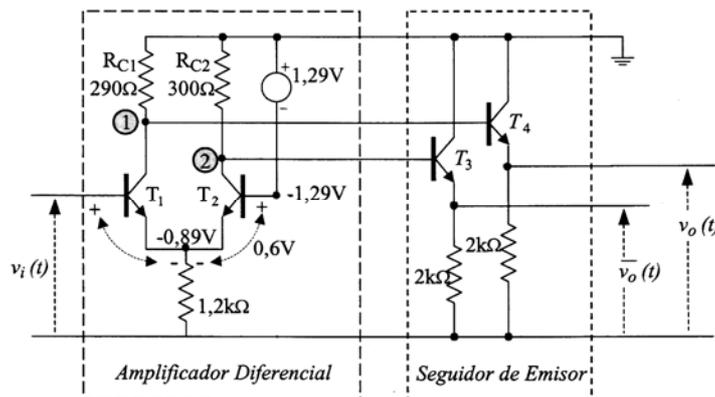
1. Lógica de emisores acoplados:

Amplificador diferencial



El circuito posee dos entradas v_1 y v_2 y dos salidas v_{o1} y v_{o2} . Dada la simetría del circuito, al tomar la salida entre los dos colectores, se elimina la parte común y solo queda la diferencia.

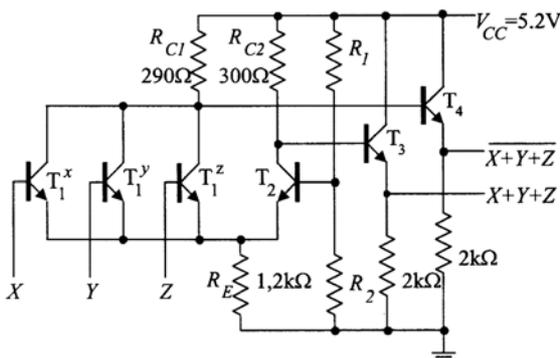
Inversor ECL



Compuesto por un amplificador diferencial y dos seguidores de emisor.

Un nivel lógico "1" de entrada provoca la conducción de T1, pero a medida que T1 empieza a conducir provoca que T2 se vaya cortando, lo que provoca que T1 conduzca más. Este efecto provoca que la transición se produzca en un tiempo inferior, consiguiendo con ello menores tiempos de transición en la familia.

Puerta NOR ECL



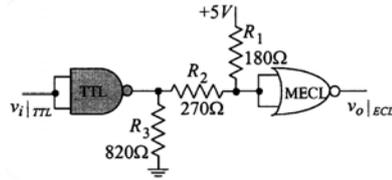
Con todas las entradas a "0" los transistores T1 estarán cortados, por lo que T2 estará conduciendo y provocará que T3 este cortado y que la tensión en la resistencia de emisor RE de T3 sea 0, esto es nivel lógico "0".

Al mismo tiempo y en las condiciones mencionadas T4 estará conduciendo y por lo tanto en su emisor aparecerá un nivel lógico "1".

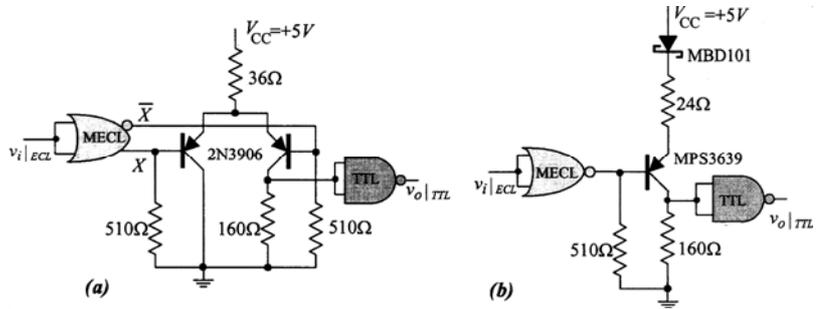
Si introducimos un "1" en cualquiera de los tres transistores T1, éste conducirá, lo que provocará que T4 se corte y por lo tanto en su emisor aparezca un nivel lógico "0", al contrario de lo que aparecerá en el emisor de T3.

La puerta lógica que da un "0" solo cuando sus entradas son "0" es la "OR" y la que da un "1" solo cuando todas sus entradas son "0" es la "NOR".

Adaptación entre familias TTL y ECL



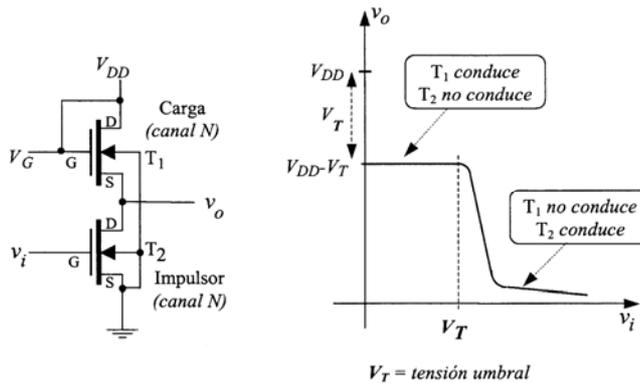
Adaptación entre familias ECL y TTL



2. Tecnología MOS

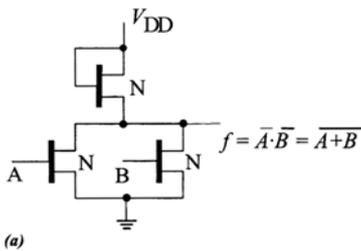
- Ventajas {
- Bajo consumo
 - Alta densidad de integración

Inversor MOS



T1 se comporta como la resistencia de polarización

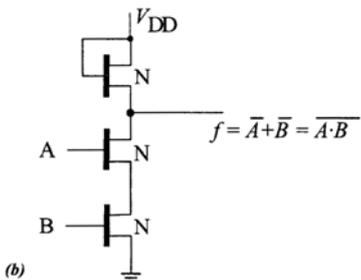
Puertas NOR y NAND



A	B	f(NOR)
0	0	1
0	1	0
1	0	0
1	1	0

Los dos transistores inferiores configuran la puerta NOR, ya que cuando cualquiera de las entradas es "1", el transistor correspondiente conduce, provocando que su tensión drenador surtidor sea =0V, esto es nivel lógico "0".

Para que la salida sea "1" hace falta que las dos entradas sean "0", lo que provocará que los dos transistores inferiores estén abiertos.



A	B	f(NAND)
0	0	1
0	1	1
1	0	1
1	1	0

Los dos transistores N inferiores configuran la puerta NAND, de forma que solo cuando las dos entradas (A y B) son "1" se provoca la conducción de ambos y se obtiene un nivel bajo de salida.

Si cualquiera de las entradas es "0" el transistor correspondiente estará abierto, provocando que no haya una circulación de corriente drenador surtidor, no haya caída de tensión en el transistor superior y por lo tanto la tensión de salida sea la V_{DD} , esto es nivel lógico "1".

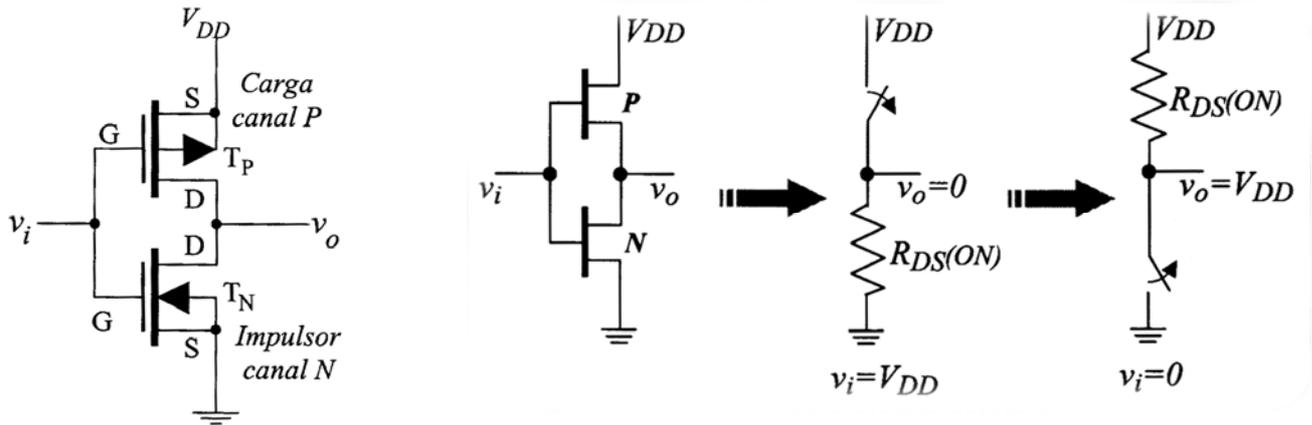
3. Tecnología CMOS

Características de la familia lógica ideal

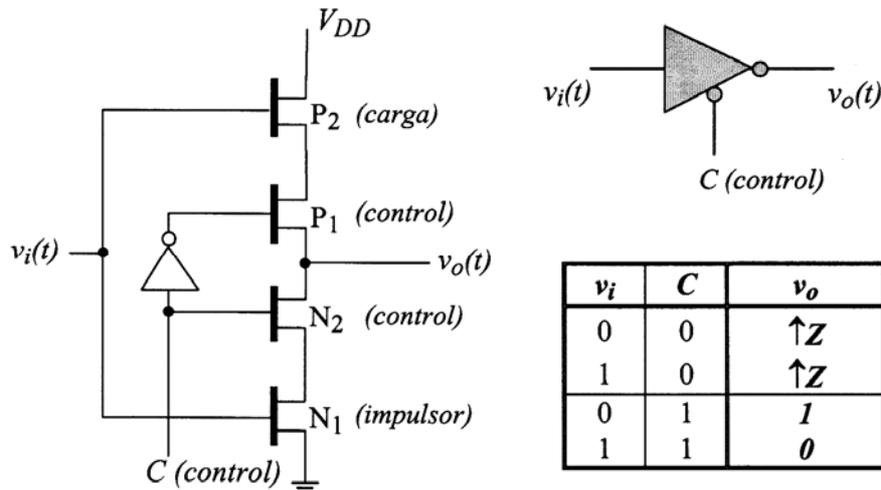
- Consumo = 0 mW
- Retardo de propagación = 0
- Tiempo de subida y bajada controlable
- Inmunidad al ruido del 50% $\Rightarrow \frac{V_{alta} - V_{baja}}{2} = 0,5$

La tecnología CMOS se aproxima a algunos de los aspectos citados, ya que ofrece un bajo consumo y una alta inmunidad al ruido, aunque el retardo y los tiempos no son muy óptimos.

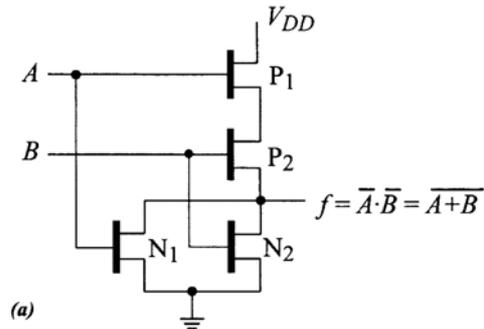
Inversor CMOS



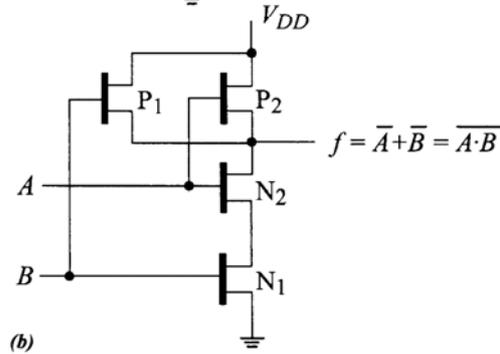
Inverso triestado



Puertas NAND y NOR

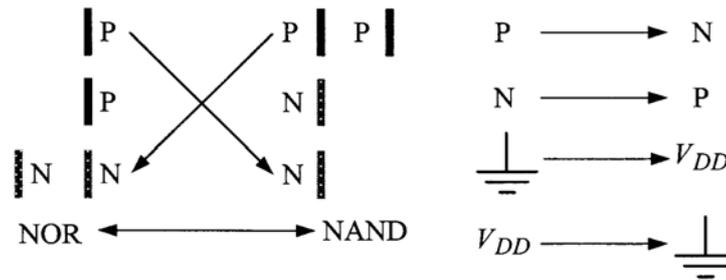


A	B	f(NOR)
0	0	1
0	1	0
1	0	0
1	1	0

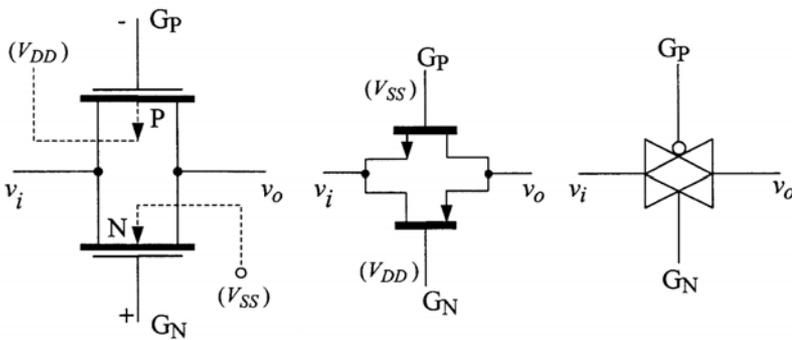


A	B	f(NAND)
0	0	1
0	1	1
1	0	1
1	1	0

Reglas de transformación

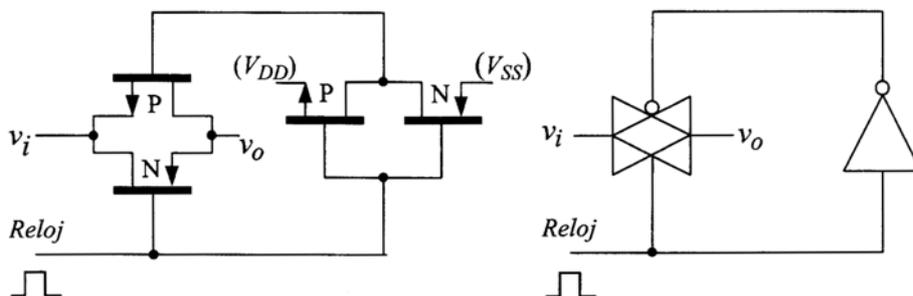


Puertas de transmisión



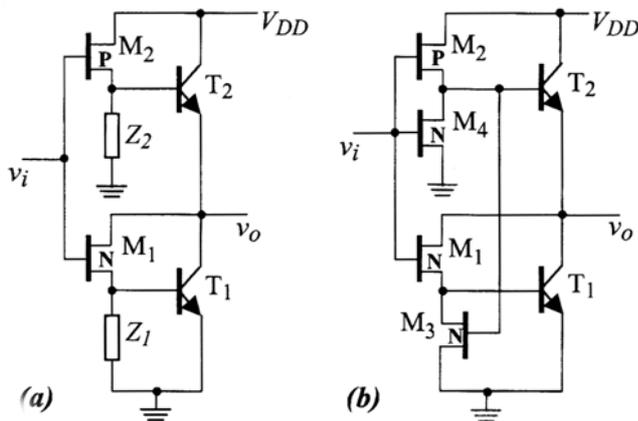
El transistor MOS es esencialmente un conmutador mandado por el potencial de puerta.

Conmutador bilateral

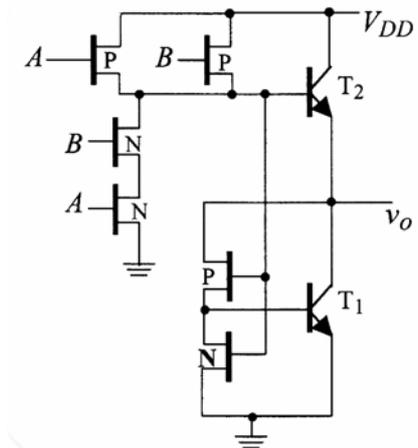


5. Circuitos BiCMOS

Inversor BiCMOS



Puerta NAND BiCMOS



6. Comparación entre familias lógicas

Familia	Ventajas	Inconvenientes	Otras familias mejoradas
TTL (74xx)	<ul style="list-style-type: none"> • <i>El menor producto retardo por disipación de potencia</i> • Buena flexibilidad lógica • Baja impedancia de salida • Buena inmunidad al ruido • Numerosas funciones 	<ul style="list-style-type: none"> • Generación de ruido 	74Hxx 74Sxx 74Lxx 74LSxx 74ASxx 74ALSxx
ECL	<ul style="list-style-type: none"> • <i>El menor retardo de propagación</i> • Buena flexibilidad lógica • Salidas complementarias • Baja impedancia de salida • Buena inmunidad al ruido • Baja generación de ruido 	<ul style="list-style-type: none"> • Alta disipación (40 mW) • Necesita circuito de adaptación con otras familias 	MECL 10K MECL 100K MECL 300K
MOS	<ul style="list-style-type: none"> • Alto fan-out • Gran densidad de integración • La NMOS es más rápida que la PMOS 	<ul style="list-style-type: none"> • Incompatibilidad con otras familias • Alta impedancia de salida • No admite cableado lógico • <u>Baja</u> velocidad PMOS 	
CMOS (400Cxx, 74Cxx)	<ul style="list-style-type: none"> • <i>*La de menor disipación de potencia</i> • Amplios márgenes de ruido • Alto fan-out y alto fan-in • Amplios márgenes en la alimentación • Buena inmunidad al ruido 	<ul style="list-style-type: none"> • No admite cableado lógico • Menos rápida que TTL y ECL 	74HCxx: 74HCTxx 74ACTxx 74AHCTxx 74FCTxx 74ACTQxx 74VHCxx 74VHCTxx